試験回路および試験方法

CROSS-REFERENCE TO RELATED APPLICATION

　This application is based upon and claims the benefit of priority of the prior Japanese Patent Application No. 2014-244322, filed on December 2, 2014, the entire contents of which are incorporated herein by reference.

FIELD

　【０００１】

　実施例は、試験回路および試験方法に関する。

BACKGROUND

　【０００２】

　ＳｉＰ（System in Package）では、複数の半導体チップが単一のパッケージに格納される。

　【０００７】

関連する技術が、特開２００４－３１７３５２号公報、特開２０１１－８１８８７号公報、特開２０１３－１０５９９６号公報、特開２００３－３０９１８３号公報、特開２００２－１８５３０９号公報、または特開昭６２－１６９３５５号公報に開示される。

SUMMARY

The object and advantages of the invention will be realized and attained by means of the elements and combinations particularly pointed out in the claims.

It is to be understood that both the foregoing general description and the following detailed description are exemplary and explanatory and are not restrictive of the invention, as claimed.

BRIEF DESCRIPTION OF DRAWINGS

図１は、試験回路の一例を示す。

図２は、試験回路の一例を示す。

図３は、選択信号生成部および経路選択部の一例を示す。

図４は、第１切り替え部の一例を示す。

図５は、第２切り替え部の一例を示す。

図６は、多数決選択部の一例を示す。

図７は、試験回路の制御方法の一例を示す。

図８は、試験回路の一例を示す。図９は、第１切り替え部の一例を示す。

図１０は、試験回路の一例を示す。

図１１は、選択信号生成部の一例を示す。

DESCRIPTION OF EMBODIMENTS

　【０００２】

　複数の半導体チップのＩ／Ｏ（Input/Output）端子は、例えば、マイクロバンプ等のバンプにより互いに接合される。複数の半導体チップが積層された半導体装置では、マイクロバンプの製造不良等により、Ｉ／Ｏ端子およびマイクロバンプ等を含む信号経路に故障が発生するかもしれない。例えば、Ｉ／Ｏ端子およびマイクロバンプ等を含む信号経路が開放状態になる故障、互いに隣接する配線が短絡する故障等が発生する。そのため、２つの半導体チップがバンプを介して互いに接続された後に、半導体チップ間の接続状態が試験される。

　【０００３】

　マイクロバンプでの接合不良による歩留まり（半導体チップの良品率）の低下は、ＳｉＰのコストを増加させる。そのため、例えば、複数の半導体チップが積層される半導体装置では、故障箇所を迂回することで不良が救済される。

　【０００４】

　半導体チップ間の信号経路の故障箇所の検出は、例えば、検査対象の各端子に対応して設けられるスキャンフリップフロップ（スキャンテストに対応したフリップフロップ回路）を用いて実行される。例えば、半導体装置に内蔵された試験回路では、互いに接続された半導体チップの一方の半導体チップのスキャンフリップフロップに、スキャンチャーン等を通じてテストデータが設定される。

　【０００５】

　試験回路は、互いに接続された半導体チップの一方の半導体チップのスキャンフリップフロップから他方の半導体チップのスキャンフリップフロップにテストデータを転送する。他方の半導体チップのスキャンフリップフロップにテストデータが保持される。試験回路は、他方の半導体チップのスキャンフリップフロップに保持されたテストデータをスキャンチャーン等を通じて取得し、取得されたデータに基づいて、半導体チップ間の信号経路の故障箇所が検出される。

　【０００６】

　フリップフロップ回路を冗長化することで、フリップフロップ回路の誤動作の影響を低減するデータ保持回路が提供される。データ保持回路は、例えば、入力データを３個のフリップフロップ回路に保持し、３個のフリップフロップ回路の出力データのうち、過半数以上を占める論理値に応じたデータを出力する。ＳＯＩ（Silicon On Insulator）技術を用いて製造される半導体集積回路では、冗長化された構成を有する試験回路が提供される。

　【０００８】

　互いに接続されたチップ間の信号経路のうち、スキャンフリップフロップにデータを設定する際に使用されるテスト用の信号経路、または、スキャンフリップフロップに保持されたデータを取得する際に使用されるテスト用の信号経路等に故障が発生するかもしれない。この場合、半導体チップ間の信号経路の故障箇所を検出する試験の実行は困難であるかもしれない。例えば、互いに接続されたチップ間の信号経路のうち、テスト用の信号経路に故障が発生した場合、故障箇所を迂回することによる不良救済は行われないかもしれない。半導体装置の歩留まりが低下し、半導体装置の製造コストが増加するかもしれない。

　【００１４】

　図に示す破線の矢印は、データ等の信号の流れを示している。

　【００１５】

　図１は、試験回路の一例を示す。試験回路１０は、複数の半導体チップ１００、２００を含む半導体装置ＳＥＭ１を試験する。半導体装置ＳＥＭ１は、複数の半導体チップ１００、２００が単一のパッケージに格納されるＳｉＰ（System in Package）であってよい。複数の半導体チップ１００、２００のＩ／Ｏ（Input/Output）端子は、例えば、マイクロバンプ等のバンプにより互いに接合される。

　【００１６】

　試験回路１０は、端子ＴＩ１、ＴＩ１０、ＴＩ１１、ＴＩ２０、ＴＩ２１、ＴＯ１、ＴＯ１０、ＴＯ２０と、選択信号生成部２０と、経路選択部３０と、試験部４０とを有する。

　【００１７】

　端子ＴＩ１は、半導体装置ＳＥＭ１を試験するデータを半導体装置ＳＥＭ１の外部から受けるテスト入力端子である。端子ＴＯ１は、各半導体チップ１００、２００の試験結果に対応するデータを半導体装置ＳＥＭ１の外部に出力するテスト出力端子である。テスト入力端子ＴＩ１およびテスト出力端子ＴＯ１は、半導体装置ＳＥＭ１の外部端子に対応する。例えば、テスト入力端子ＴＩ１およびテスト出力端子ＴＯ１は、半導体チップ１００の表面、例えば半導体チップ１００の機能を実行する論理回路が形成される面に配置される。端子ＴＩ１０、ＴＩ１１、ＴＯ１０は、半導体チップ１００の裏面に配置される。テスト入力端子ＴＩ１に供給されたデータは、半導体チップ１００の基板を貫通する貫通電極等を介して端子ＴＩ１０、ＴＩ１１に伝達される。端子ＴＯ１０が受けたデータは、半導体チップ１００の基板を貫通する貫通電極等を介してテスト出力端子ＴＯ１に伝達される。端子ＴＩ２０、ＴＩ２１、ＴＯ２０は、半導体チップ２００の表面に配置され、端子ＴＩ１０、ＴＩ１１、ＴＯ１０とバンプ等を介してそれぞれ接続される。

　【００１８】

　例えば、端子ＴＩ１０、ＴＩ２０間の信号経路ＰＴ１および端子ＴＩ１１、ＴＩ２１間の信号経路ＰＴ２は、テスト入力端子ＴＩ１に供給されたデータが伝達されるテスト用の信号経路である。端子ＴＯ１０、ＴＯ２０間の信号経路ＰＴ３は、テスト出力端子ＴＯ１に転送されるデータが伝達されるテスト用の信号経路である。以下、テスト用の信号経路ＰＴ１、ＰＴ２、ＰＴ３は、テスト経路と称されてよい。試験回路１０は、テスト入力端子ＴＩ１に供給されたデータを冗長に転送する複数のテスト経路ＰＴ１、ＰＴ２を有する。

　【００１９】

　選択信号生成部２０は、複数の半導体チップ１００、２００の少なくとも１つの半導体チップ２００に設けられ、複数の信号経路ＰＴ１、ＰＴ２を介して他の半導体チップ１００に接続される。選択信号生成部２０は、例えば、予め設定された期待値と同じ論理値のデータＤ１０をテスト入力端子ＴＩ１から他の半導体チップ１００および複数の信号経路ＰＴ１、ＰＴ２を介して受け、選択信号ＳＥＬＣＴＬを経路選択部３０に出力する。

　【００２０】

　例えば、半導体装置ＳＥＭ１を試験するテスト装置が、期待値と同じ論理値のデータＤ１０をテスト入力端子ＴＩ１に供給する。期待値と同じ論理値のデータＤ１０が、テスト入力端子ＴＩから複数の信号経路ＰＴ１、ＰＴ２を介して選択信号生成部２０に転送される。選択信号生成部２０は、信号経路ＰＴ１、ＰＴ２を介して受けたそれぞれのデータＤ１０と期待値とを比較し、比較結果に基づいて選択信号ＳＥＬＣＴＬを生成する。

　【００２１】

　例えば、複数の信号経路ＰＴ１、ＰＴ２のうち、信号経路ＰＴ２に故障、例えば、マイクロバンプでの開放または短絡等が発生した場合、信号経路ＰＴ２を介して選択信号生成部２０に伝達されたデータＤ１０は、期待値に一致しない。信号経路ＰＴ１を介して選択信号生成部２０に伝達されたデータＤ１０は、期待値に一致する。この場合、選択信号生成部２０は、信号経路ＰＴ１を示す選択信号ＳＥＬＣＴＬを生成する。選択信号生成部２０は、期待値を示すデータＤ１０を複数の信号経路ＰＴ１、ＰＴ２のいずれかを介して受けた場合、期待値を示すデータＤ１０を転送した信号経路ＰＴを示す選択信号ＳＥＬＣＴＬを生成する。

　【００２２】

　経路選択部３０は、選択信号生成部２０を含む半導体チップ２００に設けられ、複数の信号経路ＰＴ１、ＰＴ２に接続される。経路選択部３０は、複数の信号経路ＰＴ１、ＰＴ２のうち、半導体装置ＳＥＭ１を試験する際に使用する信号経路ＰＴを選択信号ＳＥＬＣＴＬに基づいて選択する。例えば、複数の信号経路ＰＴ１、ＰＴ２のうち、信号経路ＰＴ２に故障が発生した場合、経路選択部３０は、信号経路ＰＴ１を示す選択信号ＳＥＬＣＴＬを選択信号生成部２０から受ける。

　【００２３】

　この場合、経路選択部３０は、複数の信号経路ＰＴ１、ＰＴ２のうち、選択信号ＳＥＬＣＴＬが示す信号経路ＰＴ１を、半導体チップ２００の試験部４０と他の半導体チップ１００との間の信号経路ＰＴとして選択する。経路選択部３０は、テスト入力端子ＴＩから信号経路ＰＴ１を介して受けたデータを、半導体チップ２００の試験部４０に転送する。

　【００２４】

　試験部４０は、複数の半導体チップ１００、２００の各々に設けられ、半導体装置ＳＥＭ１を試験する。例えば、半導体チップ２００の試験部４０は、経路選択部３０から転送されたデータを用いて、半導体チップ２００を試験する。半導体チップ２００の試験部４０は、試験結果に対応するデータを、端子ＴＯ２０、ＴＯ１０を介してテスト出力端子ＴＯ１に転送する。例えば、半導体チップ１００の試験部４０は、テスト入力端子ＴＩ１に供給されたデータを用いて、半導体チップ１００を試験する。半導体チップ１００の試験部４０は、試験結果に対応するデータを、テスト出力端子ＴＯ１に転送する。

　【００２５】

　試験回路１０では、テスト入力端子ＴＩ１に供給されたデータが伝達されるテスト経路ＰＴ１、ＰＴ２の一方が故障した場合において、半導体チップ１００、２００間の信号経路の故障箇所を検出する試験が行われる。そのため、故障箇所を迂回して不良が救済されるかもしれない。半導体チップ１００、２００間の接合不良に起因する歩留まりの低下が抑制されるとともに、半導体装置ＳＥＭ１の製造コストが低減されるかもしれない。

　【００２６】

　例えば、半導体装置ＳＥＭ１を試験するテスト装置は、期待値と同じ論理値のデータＤ１０をテスト入力端子ＴＩ１に供給する。テスト装置は、経路選択部３０が半導体装置ＳＥＭ１を試験する際に使用する信号経路ＰＴを選択した後に、半導体装置ＳＥＭ１を試験するデータをテスト入力端子ＴＩ１に供給する。試験回路１０は、テスト入力端子ＴＩ１に供給されたデータを用いて、半導体チップ１００、２００間の信号経路の故障箇所を検出する試験を実行する。

　【００２７】

　試験回路１０の構成では、例えば、テスト入力端子ＴＩ１に供給されたデータが伝達されるテスト経路ＰＴ（ＰＴ１、ＰＴ２）は、３本以上の信号経路で冗長化されてもよい。例えば、テスト経路ＰＴ３が冗長化されてもよい。この場合、冗長化されたテスト経路ＰＴ３、例えば２本のテスト経路を受ける選択信号生成部２０および経路選択部３０が、半導体チップ１００に設けられる。例えば、試験回路１０は、３つの半導体チップが積層された半導体装置ＳＥＭ１に内蔵されてもよい。この場合、選択信号生成部２０および経路選択部３０は、３つの半導体チップのうちの少なくとも２つに設けられてもよい。試験回路１０は、４つ以上の半導体チップが積層された半導体装置ＳＥＭ１に内蔵されてもよい。

　【００２８】

　図１においては、試験回路１０は、テスト入力端子ＴＩ１に供給されたデータを複数の信号経路ＰＴ１、ＰＴ２を介して受ける経路選択部３０を有する。経路選択部３０は、複数の信号経路ＰＴ１、ＰＴ２のうち、半導体装置ＳＥＭ１を試験する際に使用する信号経路ＰＴを、選択信号生成部２０から受けた選択信号ＳＥＬＣＴＬに基づいて選択する。選択信号生成部２０は、期待値を示すデータＤ１０を複数の信号経路ＰＴ１、ＰＴ２のいずれかを介して受けた場合、期待値を示すデータＤ１０を転送した信号経路ＰＴを示す選択信号ＳＥＬＣＴＬを生成する。

　【００２９】

　テスト入力端子ＴＩ１に供給されたデータが伝達される信号経路ＰＴ１、ＰＴ２の一方が故障した場合でも、半導体チップ１００、２００間の信号経路の故障箇所を検出する試験が実行される。そのため、故障箇所を迂回して不良が救済されるかもしれない。半導体装置ＳＥＭ１の歩留まりが向上するかもしれない。

　【００３０】

　例えば、半導体装置ＳＥＭ１の試験では、半導体チップＣＨＩＰの動作を検証する試験回路１０が正常に動かなければ、半導体チップＣＨＩＰの機能を実現する論理回路が正常な場合でも、論理回路が動作しないと判定されるかもしれない。複数の半導体チップＣＨＩＰを接合する接合部での不具合が救済されるため、半導体装置ＳＥＭ１の歩留まりが向上するかもしれない。

　【００３１】

　図２は、試験回路の一例を示す。図２においては、図１で示す要素と実質的同一または同様の要素については、同一または同様の符号が付され、詳細は省略されるかもしれなお。試験回路ＴＥＳＣは、複数の半導体チップＣＨＩＰ（ＣＨＩＰ１、ＣＨＩＰ２、ＣＨＩＰ３）を含む半導体装置ＳＥＭ２を試験する。半導体装置ＳＥＭ２は、複数の半導体チップＣＨＩＰが単一のパッケージに格納されるＳｉＰであってよい。複数の半導体チップＣＨＩＰのＩ／Ｏ端子は、例えば、マイクロバンプ等のバンプにより互いに接合される。例えば、半導体チップＣＨＩＰ１の裏面に配置された端子は、半導体チップＣＨＩＰ２の表面に配置された端子にバンプにより接合される。半導体チップＣＨＩＰ２の裏面に配置された端子は、半導体チップＣＨＩＰ３の表面に配置された端子にバンプによって接合される。

　【００３２】

　各半導体チップＣＨＩＰの表面は、各半導体チップＣＨＩＰの機能を実現する論理回路が形成される面である。各半導体チップＣＨＩＰの裏面に配置された端子は、各半導体チップＣＨＩＰの基板を貫通する貫通電極等を介して、各半導体チップＣＨＩＰ内の回路等に接続される。

　【００３３】

　半導体装置ＳＥＭ２は、例えば、ＩＥＥＥ１１４９．１としてＪＴＡＧ（Joint Test Action Group）により標準化されたテスト手法に対応してもよい。以下、ＩＥＥＥ１１４９．１はＪＴＡＧと称されてよい。例えば、半導体装置ＳＥＭ２には、ＴＡＰ（Test Access Port）と呼ばれるインターフェース信号用の端子ＴＣＫ（Test Clock）、ＴＭＳ（Test Mode Select）、ＴＲＳＴ（Test Reset）、ＴＤＩ（Test Data In）、ＴＤＯ（Test Data Out）が設けられている。

　【００３４】　試験回路ＴＥＳＣは、選択信号生成部ＳＧＥＮと、経路選択部ＳＥＬと、バッファＢＦと、第１切り替え部ＳＷＡと、第２切り替え部ＳＷＢと、スイッチ制御部ＳＷＣＴＬと、多数決選択部ＭＡＪと、ＪＴＡＧに対応した試験部ＴＡＰとを有する。試験回路ＴＥＳＣは、各半導体チップＣＨＩＰに設けられた端子ＴＤＩ、ＴＤＯ、ＴＣＫ、ＴＭＳ、ＴＲＳＴを有する。

　【００３５】

　端子ＴＤＩ１は、半導体装置ＳＥＭ２を試験するデータＴＤＩ、例えば、各半導体チップＣＨＩＰにスキャンインされるデータを半導体装置ＳＥＭ２の外部から受けるテスト入力端子である。端子ＴＤＯ１は、各半導体チップＣＨＩＰの試験結果に対応するデータＴＤＯ、例えば、各半導体チップＣＨＩＰからスキャンアウトされるデータを半導体装置ＳＥＭ２の外部に出力するテスト出力端子である。以下、データＴＤＩ、ＴＤＯは、信号ＴＤＩ、ＴＤＯと称されてよい。

　【００３６】

　端子ＴＣＫ１は、例えば、テスト用のクロック信号ＴＣＫ（以下、テストクロックＴＣＫと称されてよい）を半導体装置ＳＥＭ２の外部から受けるテストクロック端子である。

　【００３７】

　端子ＴＭＳ１は、テストモードを選択する信号ＴＭＳ（以下、テストモードセレクトＴＭＳと称されてよい）を半導体装置ＳＥＭ２の外部から受けるテストモードセレクト端子である。端子ＴＲＳＴ１は、試験部ＴＡＰの状態をリセットする信号ＴＲＳＴ（以下、テストリセットＴＲＳＴと称されてよい）を半導体装置ＳＥＭ２の外部から受けるテストリセット端子である。

　【００３８】

　例えば、テスト入力端子ＴＤＩ１、テスト出力端子ＴＤＯ１、テストクロック端子ＴＣＫ１、テストモードセレクト端子ＴＭＳ１およびテストリセット端子ＴＲＳＴ１は、半導体装置ＳＥＭ２の外部端子に対応する。例えば、テスト入力端子ＴＤＩ１、テスト出力端子ＴＤＯ１、テストクロック端子ＴＣＫ１、テストモードセレクト端子ＴＭＳ１およびテストリセット端子ＴＲＳＴ１は、半導体チップＣＨＩＰ１の表面に配置される。

　【００３９】

　端子ＴＤＩ１０、ＴＤＩ１１、ＴＤＯ１０、ＴＤＯ１１、ＴＣＫ１０、ＴＭＳ１０、ＴＭＳ１１、ＴＭＳ１２、ＴＲＳＴ１０、ＴＲＳＴ１１、ＴＲＳＴ１２は、半導体チップＣＨＩＰ１の裏面に配置される。端子ＴＤＩ２０、ＴＤＩ２１、ＴＤＯ２０、ＴＤＯ２１、ＴＣＫ２０、ＴＭＳ２０、ＴＭＳ２１、ＴＭＳ２２、ＴＲＳＴ２０、ＴＲＳＴ２１、ＴＲＳＴ２２は、半導体チップＣＨＩＰ２の表面に配置される。

　【００４０】

　端子ＴＤＩ２０、ＴＤＩ２１、ＴＤＯ２０、ＴＤＯ２１は、端子ＴＤＩ１０、ＴＤＩ１１、ＴＤＯ１０、ＴＤＯ１１とバンプ等を介してそれぞれ接続される。また、端子ＴＣＫ２０、ＴＭＳ２０、ＴＭＳ２１、ＴＭＳ２２、ＴＲＳＴ２０、ＴＲＳＴ２１、ＴＲＳＴ２２は、端子ＴＣＫ１０、ＴＭＳ１０、ＴＭＳ１１、ＴＭＳ１２、ＴＲＳＴ１０、ＴＲＳＴ１１、ＴＲＳＴ１２とバンプ等を介してそれぞれ接続される。

　【００４１】

　端子ＴＤＩ２２、ＴＤＩ２３、ＴＤＯ２２、ＴＤＯ２３、ＴＣＫ２１、ＴＭＳ２３、ＴＭＳ２４、ＴＭＳ２５、ＴＲＳＴ２３、ＴＲＳＴ２４、ＴＲＳＴ２５は、半導体チップＣＨＩＰ２の裏面に配置される。端子ＴＤＩ３０、ＴＤＩ３１、ＴＤＯ３０、ＴＤＯ３１、ＴＣＫ３０、ＴＭＳ３０、ＴＭＳ３１、ＴＭＳ３２、ＴＲＳＴ３０、ＴＲＳＴ３１、ＴＲＳＴ３２は、半導体チップＣＨＩＰ３の表面に配置される。

　【００４２】

　端子ＴＤＩ３０、ＴＤＩ３１、ＴＤＯ３０、ＴＤＯ３１は、端子ＴＤＩ２０、ＴＤＩ２１、ＴＤＯ２０、ＴＤＯ２１とバンプ等を介してそれぞれ接続される。端子ＴＣＫ３０、ＴＭＳ３０、ＴＭＳ３１、ＴＭＳ３２、ＴＲＳＴ３０、ＴＲＳＴ３１、ＴＲＳＴ３２は、端子ＴＣＫ２０、ＴＭＳ２０、ＴＭＳ２１、ＴＭＳ２２、ＴＲＳＴ２０、ＴＲＳＴ２１、ＴＲＳＴ２２とバンプ等を介してそれぞれ接続される。

　【００４３】

　半導体チップＣＨＩＰ１、ＣＨＩＰ２間の信号経路ＰＴ１０－ＰＴ２０と、半導体チップＣＨＩＰ２、ＣＨＩＰ３間の信号経路ＰＴ２１－ＰＴ３１は、テスト用の信号、例えばデータＴＤＩ等のインターフェース信号が伝達されるテスト用の信号経路である。以下、テスト用の信号経路ＰＴ１０－ＰＴ３１は、テスト経路と称されてよい。

　【００４４】

　例えば、端子ＴＤＩ１０、ＴＤＩ２０間の信号経路ＰＴ１０および端子ＴＤＩ１１、ＴＤＩ２１間の信号経路ＰＴ１１は、テスト入力端子ＴＤＩ１に供給されたデータＴＤＩが伝達される半導体チップＣＨＩＰ１、ＣＨＩＰ２間のテスト経路である。端子ＴＤＩ２２、ＴＤＩ３０間の信号経路ＰＴ２１および端子ＴＤＩ２３、ＴＤＩ３１間の信号経路ＰＴ２２は、テスト入力端子ＴＤＩ１に供給されたデータＴＤＩが伝達される半導体チップＣＨＩＰ２、ＣＨＩＰ３間のテスト経路である。試験回路ＴＥＳＣは、テスト入力端子ＴＤＩ１に供給されたデータＴＤＩを冗長に転送する複数のテスト経路ＰＴ１０、ＰＴ１１、ＰＴ２１、ＰＴ２２を有する。

　【００４６】

　半導体チップＣＨＩＰ１は、試験回路ＴＥＳＣの一部として、スイッチ制御部ＳＷＣＴＬ、第１切り替え部ＳＷＡ１－ＳＷＡ４、選択信号生成部ＳＧＥＮ２、経路選択部ＳＥＬ２、第２切り替え部ＳＷＢ、試験部ＴＡＰおよびバッファＢＦ１－ＢＦ９を有する。

　【００４７】

　スイッチ制御部ＳＷＣＴＬから第１切り替え部ＳＷＡ等に出力されるスイッチ制御信号（以下、制御信号と称されてよい）は、試験部ＴＡＰ内のＴＡＰコントローラのステートによって決定される。図２では、図を見やすくするために、スイッチ制御部ＳＷＣＴＬと、第１切り替え部ＳＷＡ２－ＳＷＡ４、第２切り替え部ＳＷＢ、試験部ＴＡＰ等との間の信号線は省略されるかもしれない。

　【００４８】

　第１切り替え部ＳＷＡ（ＳＷＡ１－ＳＷＡ４）は、スイッチ制御部ＳＷＣＴＬから受ける制御信号に基づいて、内部転送状態および通過状態のいずれかに設定される。内部転送状態では、第１切り替え部ＳＷＡが受けたデータ、例えば第１切り替え部ＳＷＡ１におけるデータＴＤＩは、自身の半導体チップＣＨＩＰの試験部ＴＡＰに転送される。通過状態では、第１切り替え部ＳＷＡが受けたデータ、例えば第１切り替え部ＳＷＡ１におけるデータＴＤＩは、他の半導体チップＣＨＩＰに転送される。

　【００４９】

　第１切り替え部ＳＷＡ１の入力端子、例えば、図４に示す端子ＩＮ１０は、テスト入力端子ＴＤＩ１に接続される。第１切り替え部ＳＷＡ１の２つの出力端子、例えば、図４に示す端子ＯＵＴ１０、ＯＵＴ１１の一方は、端子ＴＤＩ１０、ＴＤＩ１１にバッファＢＦ１、ＢＦ２を介して接続され、第１切り替え部ＳＷＡ１の２つの出力端子の他方は、試験部ＴＡＰに接続される。

　【００５０】

　例えば、第１切り替え部ＳＷＡ１は、スイッチ制御部ＳＷＣＴＬから受けた制御信号が内部転送状態を示している場合、テスト入力端子ＴＤＩ１から転送されたデータＴＤＩを半導体チップＣＨＩＰ１の試験部ＴＡＰに転送する。第１切り替え部ＳＷＡ１は、スイッチ制御部ＳＷＣＴＬから受けた制御信号が通過状態を示している場合、テスト入力端子ＴＤＩ１から転送されたデータＴＤＩを、信号経路ＰＴ１０、ＰＴ１１等を介して半導体チップＣＨＩＰ２に転送する。そのため、テスト入力端子ＴＤＩ１に供給されたデータＴＤＩが、複数の信号経路ＰＴ１０、ＰＴ１１を介して、半導体チップＣＨＩＰ２の選択信号生成部ＳＧＥＮ１および経路選択部ＳＥＬ１に転送される。　【００５１】

　第１切り替え部ＳＷＡ２の入力端子は、テストクロック端子ＴＣＫ１に接続される。第１切り替え部ＳＷＡ２の２つの出力端子の一方は、端子ＴＣＫ１０にバッファＢＦ３を介して接続され、第１切り替え部ＳＷＡ２の２つの出力端子の他方は、試験部ＴＡＰに接続される。

　【００５２】

　第１切り替え部ＳＷＡ３の入力端子は、テストリセット端子ＴＲＳＴ１に接続される。第１切り替え部ＳＷＡ３の２つの出力端子の一方は、端子ＴＲＳＴ１０、ＴＲＳＴ１１、ＴＲＳＴ１２にバッファＢＦ４、ＢＦ５、ＢＦ６を介して接続され、第１切り替え部ＳＷＡ３の２つの出力端子の他方は、試験部ＴＡＰに接続される。

　【００５３】

　第１切り替え部ＳＷＡ４の入力端子は、テストモードセレクト端子ＴＭＳ１に接続される。第１切り替え部ＳＷＡ４の２つの出力端子の一方は、端子ＴＭＳ１０、ＴＭＳ１１、ＴＭＳ１２にバッファＢＦ７、ＢＦ８、ＢＦ９を介して接続され、第１切り替え部ＳＷＡ４の２つの出力端子の他方は、試験部ＴＡＰに接続される。

　【００５４】

　例えば、半導体チップＣＨＩＰ１の第１切り替え部ＳＷＡが内部転送状態に設定された場合、半導体チップＣＨＩＰ１の試験部ＴＡＰは、端子ＴＤＩ１、ＴＣＫ１、ＴＭＳ１、ＴＲＳＴ１から信号ＴＤＩ、ＴＣＫ、ＴＭＳ、ＴＲＳＴを受ける。半導体チップＣＨＩＰ１の第１切り替え部ＳＷＡが通過状態に設定された場合、端子ＴＤＩ１、ＴＣＫ１、ＴＭＳ１、ＴＲＳＴ１に供給された信号ＴＤＩ、ＴＣＫ、ＴＭＳ、ＴＲＳＴは、半導体チップＣＨＩＰ２に転送される。第１切り替え部ＳＷＡ２－ＳＷＡ４は、通過状態に設定された場合でも、信号ＴＣＫ、ＴＭＳ、ＴＲＳＴを自身の半導体チップＣＨＩＰの試験部ＴＡＰに転送してもよい。

　【００５５】

　試験部ＴＡＰは、ＪＴＡＧに対応した試験を実行する。例えば、試験部ＴＡＰは、ＴＡＰコントローラ、命令レジスタ、データレジスタ等を有する。試験部ＴＡＰ内のＴＡＰコントローラは、信号ＴＣＫ、ＴＭＳ、ＴＲＳＴにより制御される同期式のステートマシーンである。例えば、ＴＡＰコントローラは、命令レジスタ、データレジスタ等の制御信号、例えば、駆動クロックを、信号ＴＣＫ、ＴＭＳ、ＴＲＳＴに基づいて生成する。

　【００５６】

　スイッチ制御部ＳＷＣＴＬから出力される制御信号の状態は、ＴＡＰコントローラのステート遷移（モード）により制御される。制御信号の一状態は、ＴＡＰコントローラの複数のモードに割り当てられてもよい。

　【００５７】

　試験部ＴＡＰ内の命令レジスタは、例えば、スキャン動作させるデータレジスタの選択に使用される。例えば、命令レジスタは、命令コード等を示すデータＴＤＩと、ＴＡＰコントローラからの制御信号と受ける。命令レジスタに、命令コードがセットされる。命令コード等を示すデータＴＤＩは、例えば、半導体装置ＳＥＭ２を試験するテスト装置からテスト入力端子ＴＤＩ１に供給される。

　【００５８】

　試験部ＴＡＰ内のデータレジスタは、バウンダリスキャンレジスタ、バイパスレジスタ等である。データレジスタは、例えば、ＴＡＰコントローラからの制御信号と、テスト入力端子ＴＤＩ１に供給されたデータＴＤＩとを受け、受けたデータＴＤＩを保持する。データレジスタは、保持されたデータＴＤＩをデータＴＤＯとしてテスト出力端子ＴＤＯ１に転送する。試験部ＴＡＰは、半導体装置ＳＥＭ２の試験結果に対応するデータＴＤＯを、テスト出力端子ＴＤＯ１に転送する。

　【００５９】

　選択信号生成部ＳＧＥＮ２の２つの入力端子は、端子ＴＤＯ１０、ＴＤＯ１１に接続される。例えば、半導体チップＣＨＩＰ１の選択信号生成部ＳＧＥＮ２は、信号経路ＰＴ１９、ＰＴ２０を介して半導体チップＣＨＩＰ２の端子ＴＤＯ２０、ＴＤＯ２１に接続される。

　【００６０】

　選択信号生成部ＳＧＥＮ２は、例えば、予め設定された期待値と同じ論理値のデータＴＤＯを他の半導体チップＣＨＩＰ２の試験部ＴＡＰから複数の信号経路ＰＴ１９、ＰＴ２０を介して受け、選択信号ＳＥＬＣＴＬを経路選択部ＳＥＬ２に出力する。

　【００６１】

　例えば、複数の信号経路ＰＴ１９、ＰＴ２０のうち、信号経路ＰＴ２０に故障が発生した場合、選択信号生成部ＳＧＥＮ２は、期待値と同じ論理値のデータＴＤＯを、信号経路ＰＴ１９を介して受ける。この場合、選択信号生成部ＳＧＥＮ２は、信号経路ＰＴ１９を示す選択信号ＳＥＬＣＴＬを生成し、生成した選択信号ＳＥＬＣＴＬを経路選択部ＳＥＬ２の制御端子に出力する。

　【００６２】

　選択信号生成部ＳＧＥＮ２は、期待値を示すデータＴＤＯを複数の信号経路ＰＴ１９、ＰＴ２０のいずれかを介して受けた場合、期待値を示すデータＴＤＯを転送した信号経路ＰＴを示す選択信号ＳＥＬＣＴＬを生成する。

　【００６３】

　テスト経路ＰＴを選択する際に、半導体チップＣＨＩＰ２から半導体チップＣＨＩＰ１に転送されるデータＴＤＯは、テスト入力端子ＴＤＩ１から半導体チップＣＨＩＰ１等を介して半導体チップＣＨＩＰ２の試験部ＴＡＰに転送されたデータＴＤＩである。そのため、選択信号生成部ＳＧＥＮ２は、例えば、予め設定された期待値と同じ論理値のデータＴＤＯをテスト入力端子ＴＤＩ１から他の半導体チップＣＨＩＰ２および複数の信号経路ＰＴ１９、ＰＴ２０を介して受ける。

　【００６４】

　経路選択部ＳＥＬ２の２つの入力端子は、端子ＴＤＯ１０、ＴＤＯ１１に接続される。例えば、経路選択部ＳＥＬ２は、信号経路ＰＴ１９、ＰＴ２０を介して半導体チップＣＨＩＰ２の端子ＴＤＯ２０、ＴＤＯ２１に接続される。

　【００６５】

　経路選択部ＳＥＬ２は、複数の信号経路ＰＴ１９、ＰＴ２０のうち、半導体装置ＳＥＭ２を試験する際に使用する信号経路ＰＴを選択信号ＳＥＬＣＴＬに基づいて選択する。例えば、複数の信号経路ＰＴ１９、ＰＴ２０のうち、信号経路ＰＴ２０に故障が発生した場合、経路選択部ＳＥＬ２は、信号経路ＰＴ１９を示す選択信号ＳＥＬＣＴＬを選択信号生成部ＳＧＥＮ２から受ける。

　【００６６】

　この場合、経路選択部ＳＥＬ２は、複数の信号経路ＰＴ１９、ＰＴ２０のうち、選択信号ＳＥＬＣＴＬが示す信号経路ＰＴ１９を、半導体チップＣＨＩＰ１、ＣＨＩＰ２間の信号経路ＰＴとして選択する。例えば、経路選択部ＳＥＬ２は、他の半導体チップＣＨＩＰ２の試験部ＴＡＰから信号経路ＰＴ１９を介して受けたデータＴＤＯを、第２切り替え部ＳＷＢに転送する。

　【００６７】

　第２切り替え部ＳＷＢは、スイッチ制御部ＳＷＣＴＬから受ける制御信号に基づいて、内部転送状態および通過状態のいずれかに設定される。内部転送状態では、第２切り替え部ＳＷＢは、自身の半導体チップＣＨＩＰの試験部ＴＡＰから受けたデータをテスト出力端子ＴＤＯ１に転送する。また、通過状態では、第２切り替え部ＳＷＢは、他の半導体チップＣＨＩＰの試験部ＴＡＰから受けたデータをテスト出力端子ＴＤＯ１に転送する。

　【００６８】

　例えば、第２切り替え部ＳＷＢの２つの入力端子、例えば、図５に示す端子ＩＮ２０、ＩＮ２１の一方は、経路選択部ＳＥＬ２に接続され、第２切り替え部ＳＷＢの２つの入力端子の他方は、試験部ＴＡＰに接続される。第２切り替え部ＳＷＢの出力端子、例えば、図５に示す端子ＯＵＴ２０は、テスト出力端子ＴＤＯ１に接続される。　【００６９】

　例えば、第２切り替え部ＳＷＢは、スイッチ制御部ＳＷＣＴＬから受けた制御信号が内部転送状態を示している場合、試験部ＴＡＰから転送されたデータＴＤＯを、テスト出力端子ＴＤＯ１に転送する。第２切り替え部ＳＷＢは、スイッチ制御部ＳＷＣＴＬから受けた制御信号が通過状態を示している場合、経路選択部ＳＥＬ２から転送されたデータＴＤＯをテスト出力端子ＴＤＯ１に転送する。複数の信号経路ＰＴ１９、ＰＴ２０のうち、経路選択部ＳＥＬ２により選択された信号経路ＰＴによｙｙｒ転送されたデータＴＤＯが、テスト出力端子ＴＤＯ１に転送される。

　【００７０】

　半導体チップＣＨＩＰ２は、試験回路ＴＥＳＣの一部として、スイッチ制御部ＳＷＣＴＬ、第１切り替え部ＳＷＡ１－ＳＷＡ４、選択信号生成部ＳＧＥＮ２、経路選択部ＳＥＬ２、第２切り替え部ＳＷＢ、試験部ＴＡＰおよびバッファＢＦ１－ＢＦ１１を有する。半導体チップＣＨＩＰ２は、試験回路ＴＥＳＣの一部として、選択信号生成部ＳＧＥＮ１、経路選択部ＳＥＬ１および多数決選択部ＭＡＪ１、ＭＡＪ２を有する。

　【００７１】

　選択信号生成部ＳＧＥＮ１は、選択信号生成部ＳＧＥＮ２と実質的に同一または同様であってよい。例えば、選択信号生成部ＳＧＥＮ１は、予め設定された期待値と同じ論理値のデータＴＤＩをテスト入力端子ＴＤＩ１から他の半導体チップＣＨＩＰ１および複数の信号経路ＰＴ１０、ＰＴ１１を介して受け、選択信号ＳＥＬＣＴＬを経路選択部ＳＥＬ１に出力する。

　【００７２】

　例えば、複数の信号経路ＰＴ１０、ＰＴ１１のうち、信号経路ＰＴ１０に故障が発生した場合、選択信号生成部ＳＧＥＮ１は、期待値と同じ論理値のデータＴＤＩを信号経路ＰＴ１１を介して受ける。この場合、選択信号生成部ＳＧＥＮ１は、信号経路ＰＴ１１を示す選択信号ＳＥＬＣＴＬを生成し、生成した選択信号ＳＥＬＣＴＬを経路選択部ＳＥＬ１の制御端子に出力する。このように、選択信号生成部ＳＧＥＮ１は、期待値を示すデータＴＤＩを複数の信号経路ＰＴ１０、ＰＴ１１のいずれかを介して受けた場合、期待値を示すデータＴＤＩを転送した信号経路ＰＴを示す選択信号ＳＥＬＣＴＬを生成する。

　【００７３】

　経路選択部ＳＥＬ１は、経路選択部ＳＥＬ２と実質的に同一または同様であってよい。例えば、経路選択部ＳＥＬ１は、複数の信号経路ＰＴ１０、ＰＴ１１のうち、半導体装置ＳＥＭ２を試験する際に使用する信号経路ＰＴを選択信号ＳＥＬＣＴＬに基づいて選択する。

　【００７４】

　経路選択部ＳＥＬ１の２つの入力端子は、端子ＴＤＩ２０、ＴＤＩ２１に接続される。例えば、半導体チップＣＨＩＰ２の経路選択部ＳＥＬ１は、信号経路ＰＴ１０、ＰＴ１１を介して半導体チップＣＨＩＰ１の端子ＴＤＩ１０、ＴＤＩ１１に接続される。経路選択部ＳＥＬ１の出力端子は、第１切り替え部ＳＷＡ１に接続される。

　【００７５】

　例えば、複数の信号経路ＰＴ１０、ＰＴ１１のうち、信号経路ＰＴ１０に故障が発生した場合、経路選択部ＳＥＬ１は、信号経路ＰＴ１１を示す選択信号ＳＥＬＣＴＬを選択信号生成部ＳＧＥＮ１から受ける。この場合、経路選択部ＳＥＬ１は、複数の信号経路ＰＴ１０、ＰＴ１１のうち、選択信号ＳＥＬＣＴＬが示す信号経路ＰＴ１１を、半導体チップＣＨＩＰ１、ＣＨＩＰ２間の信号経路ＰＴとして選択する。例えば、経路選択部ＳＥＬ１は、テスト入力端子ＴＤＩ１から信号経路ＰＴ１１を介して受けたデータＴＤＩを、第１切り替え部ＳＷＡ１に転送する。

　【００７６】

　スイッチ制御部ＳＷＣＴＬは、半導体チップＣＨＩＰ１のスイッチ制御部ＳＷＣＴＬと実質的に同一または同様であってよい。第１切り替え部ＳＷＡ（ＳＷＡ１－ＳＷＡ４）は、半導体チップＣＨＩＰ１の第１切り替え部ＳＷＡと実質的に同一または同様であってよい。

　【００７７】

　第１切り替え部ＳＷＡ１の入力端子は、経路選択部ＳＥＬ１の出力端子に接続される。第１切り替え部ＳＷＡ１の２つの出力端子の一方は、端子ＴＤＩ２２、ＴＤＩ２３にバッファＢＦ１、ＢＦ２を介して接続され、第１切り替え部ＳＷＡ１の２つの出力端子の他方は、試験部ＴＡＰに接続される。

　【００７８】

　例えば、内部転送状態に設定された第１切り替え部ＳＷＡ１は、経路選択部ＳＥＬ１から転送されたデータＴＤＩを半導体チップＣＨＩＰ２の試験部ＴＡＰに転送する。通過状態に設定された第１切り替え部ＳＷＡ１は、経路選択部ＳＥＬ１から転送されたデータＴＤＩを、信号経路ＰＴ２１、ＰＴ２２等を介して半導体チップＣＨＩＰ３の選択信号生成部ＳＧＥＮ１および経路選択部ＳＥＬ１に転送する。

　【００７９】

　第１切り替え部ＳＷＡ２の入力端子は、端子ＴＣＫ２０に接続される。第１切り替え部ＳＷＡ２の２つの出力端子の一方は、端子ＴＣＫ２１にバッファＢＦ３を介して接続され、第１切り替え部ＳＷＡ２の２つの出力端子の他方は、試験部ＴＡＰに接続される。

　【００８０】

　第１切り替え部ＳＷＡ３の入力端子は、多数決選択部ＭＡＪ１の出力端子に接続される。第１切り替え部ＳＷＡ３の２つの出力端子の一方は、端子ＴＲＳＴ２３、ＴＲＳＴ２４、ＴＲＳＴ２５にバッファＢＦ４、ＢＦ５、ＢＦ６を介して接続され、第１切り替え部ＳＷＡ３の２つの出力端子の他方は、試験部ＴＡＰに接続される。

　【００８１】

　第１切り替え部ＳＷＡ４の入力端子は、多数決選択部ＭＡＪ２の出力端子に接続される。第１切り替え部ＳＷＡ４の２つの出力端子の一方は、端子ＴＭＳ２３、ＴＭＳ２４、ＴＭＳ２５にバッファＢＦ７、ＢＦ８、ＢＦ９を介して接続され、第１切り替え部ＳＷＡ４の２つの出力端子の他方は、試験部ＴＡＰに接続される。

　【００８２】

　多数決選択部ＭＡＪ（ＭＡＪ１、ＭＡＪ２）は、例えば、３つの入力端子で受けた３つのデータの論理値のうち、過半数以上を占める論理値と同じ論理値のデータを出力する。例えば、多数決選択部ＭＡＪ１の３つの入力端子は、端子ＴＲＳＴ２０、ＴＲＳＴ２１、ＴＲＳＴ２２にそれぞれ接続され、多数決選択部ＭＡＪ１の出力端子は、第１切り替え部ＳＷＡ３の入力端子に接続される。

　【００８３】

　例えば、複数の信号経路ＰＴ１３、ＰＴ１４、ＰＴ１５のうち、信号経路ＰＴ１３が故障した場合、信号経路ＰＴ１４、ＰＴ１５から転送されるデータの論理値は、信号経路ＰＴ１３、ＰＴ１４、ＰＴ１５から転送されるデータの論理値のうちの過半数を占める。この場合、多数決選択部ＭＡＪ１は、信号経路ＰＴ１４、ＰＴ１５から転送されるデータと同じ論理値の信号ＴＲＳＴを第１切り替え部ＳＷＡ３に出力する。したがって、半導体装置ＳＥＭ２では、信号経路ＰＴ１３、ＰＴ１４、ＰＴ１５の１つが故障した場合でも、信号ＴＲＳＴが半導体チップＣＨＩＰ１から半導体チップＣＨＩＰ２に転送される。

　【００８４】

　多数決選択部ＭＡＪ２の３つの入力端子は、端子ＴＭＳ２０、ＴＭＳ２１、ＴＭＳ２２にそれぞれ接続され、多数決選択部ＭＡＪ２の出力端子は、第１切り替え部ＳＷＡ４の入力端子に接続される。例えば、複数の信号経路ＰＴ１６、ＰＴ１７、ＰＴ１８のうち、信号経路ＰＴ１６が故障した場合、多数決選択部ＭＡＪ２は、信号経路ＰＴ１７、ＰＴ１８から転送されるデータと同じ論理値の信号ＴＭＳを第１切り替え部ＳＷＡ４に出力する。したがって、半導体装置ＳＥＭ２では、信号経路ＰＴ１６、ＰＴ１７、ＰＴ１８の１つが故障した場合でも、信号ＴＭＳが半導体チップＣＨＩＰ１から半導体チップＣＨＩＰ２に転送される。

　【００８５】

　選択信号生成部ＳＧＥＮ２、経路選択部ＳＥＬ２、第２切り替え部ＳＷＢおよび試験部ＴＡＰは、半導体チップＣＨＩＰ１の選択信号生成部ＳＧＥＮ２、経路選択部ＳＥＬ２、第２切り替え部ＳＷＢおよび試験部ＴＡＰと実質的に同一または同様であってよい。

　【００８６】

　選択信号生成部ＳＧＥＮ２の２つの入力端子は、端子ＴＤＯ２２、ＴＤＯ２３に接続される。例えば、半導体チップＣＨＩＰ２の選択信号生成部ＳＧＥＮ２は、信号経路ＰＴ３０、ＰＴ３１を介して半導体チップＣＨＩＰ３の端子ＴＤＯ３０、ＴＤＯ３１に接続される。選択信号生成部ＳＧＥＮ２の出力端子は、経路選択部ＳＥＬ２の制御端子に接続される。

　【００８７】

　経路選択部ＳＥＬ２の２つの入力端子は、端子ＴＤＯ２２、ＴＤＯ２３に接続される。例えば、経路選択部ＳＥＬ２は、信号経路ＰＴ３０、ＰＴ３１を介して半導体チップＣＨＩＰ３の端子ＴＤＯ３０、ＴＤＯ３１に接続される。経路選択部ＳＥＬ２の出力端子は、第２切り替え部ＳＷＢの入力端子に接続される。

　【００８８】

　第２切り替え部ＳＷＢの２つの入力端子の一方は、経路選択部ＳＥＬ２に接続され、第２切り替え部ＳＷＢの２つの入力端子の他方は、試験部ＴＡＰに接続される。第２切り替え部ＳＷＢの出力端子は、端子ＴＤＯ２０、ＴＤＯ２１にバッファＢＦ１０、ＢＦ１１を介して接続される。

　【００８９】

　半導体チップＣＨＩＰ１、ＣＨＩＰ２のそれぞれの第１切り替え部ＳＷＡが通過状態および内部転送状態にそれぞれ設定された場合、テスト入力端子ＴＤＩ１に供給されたデータＴＤＩが半導体チップＣＨＩＰ２の試験部ＴＡＰに転送される。端子ＴＣＫ１、ＴＭＳ１、ＴＲＳＴ１に供給された信号ＴＣＫ、ＴＭＳ、ＴＲＳＴが半導体チップＣＨＩＰ２の試験部ＴＡＰに転送される。

　【００９０】

　半導体チップＣＨＩＰ１、ＣＨＩＰ２の両方の第１切り替え部ＳＷＡが通過状態に設定された場合、端子ＴＤＩ１、ＴＣＫ１、ＴＭＳ１、ＴＲＳＴ１に供給された信号ＴＤＩ、ＴＣＫ、ＴＭＳ、ＴＲＳＴは、半導体チップＣＨＩＰ３に転送される。

　【００９１】

　半導体チップＣＨＩＰ１、ＣＨＩＰ２のそれぞれの第２切り替え部ＳＷＢが通過状態および内部転送状態にそれぞれ設定された場合、半導体チップＣＨＩＰ２の試験部ＴＡＰから転送されたデータＴＤＯがテスト出力端子ＴＤＯ１に転送される。半導体チップＣＨＩＰ１、ＣＨＩＰ２の両方の第２切り替え部ＳＷＢが通過状態に設定された場合、半導体チップＣＨＩＰ３の試験部ＴＡＰから転送されたデータＴＤＯがテスト出力端子ＴＤＯ１に転送される。

　【００９２】

　半導体チップＣＨＩＰ３は、試験回路ＴＥＳＣの一部として、選択信号生成部ＳＧＥＮ１、経路選択部ＳＥＬ１、多数決選択部ＭＡＪ１、ＭＡＪ２、試験部ＴＡＰおよびバッファＢＦ１０－ＢＦ１１を有する。選択信号生成部ＳＧＥＮ１、経路選択部ＳＥＬ１、多数決選択部ＭＡＪ１、ＭＡＪ２は、半導体チップＣＨＩＰ２の選択信号生成部ＳＧＥＮ１、経路選択部ＳＥＬ１、多数決選択部ＭＡＪ１、ＭＡＪ２と実質的に同一または同様であってよい。試験部ＴＡＰは、半導体チップＣＨＩＰ２の試験部ＴＡＰと実質的に同一または同様であってよい。

　【００９３】

　選択信号生成部ＳＧＥＮ１の２つの入力端子は、端子ＴＤＩ３０、ＴＤＩ３１に接続される。例えば、半導体チップＣＨＩＰ３の選択信号生成部ＳＧＥＮ１は、信号経路ＰＴ２１、ＰＴ２２を介して半導体チップＣＨＩＰ２の端子ＴＤＩ２２、ＴＤＩ２３に接続される。選択信号生成部ＳＧＥＮ１の出力端子は、経路選択部ＳＥＬ１の制御端子に接続される。

　【００９４】

　経路選択部ＳＥＬ１の２つの入力端子は、端子ＴＤＩ３０、ＴＤＩ３１に接続される。例えば、半導体チップＣＨＩＰ３の経路選択部ＳＥＬ１は、信号経路ＰＴ２１、ＰＴ２２を介して半導体チップＣＨＩＰ２の端子ＴＤＩ２２、ＴＤＩ２３に接続される。経路選択部ＳＥＬ１の出力端子は、試験部ＴＡＰに接続される。

　【００９５】

　多数決選択部ＭＡＪ１の３つの入力端子は、端子ＴＲＳＴ３０、ＴＲＳＴ３１、ＴＲＳＴ３２にそれぞれ接続され、多数決選択部ＭＡＪ１の出力端子は、試験部ＴＡＰに接続される。多数決選択部ＭＡＪ２の３つの入力端子は、端子ＴＭＳ３０、ＴＭＳ３１、ＴＭＳ３２にそれぞれ接続され、多数決選択部ＭＡＪ２の出力端子は、試験部ＴＡＰに接続される。

　【００９６】

　試験部ＴＡＰは、データＴＤＯを、端子ＴＤＯ３０、ＴＤＯ３１にバッファＢＦ１０、ＢＦ１１を介して出力する。半導体チップＣＨＩＰ１、ＣＨＩＰ２の両方の第２切り替え部ＳＷＢが通過状態に設定された場合、半導体チップＣＨＩＰ３の試験部ＴＡＰから出力されたデータＴＤＯは、テスト出力端子ＴＤＯ１に転送される。

　【００９７】

　半導体チップＣＨＩＰ１、ＣＨＩＰ２の両方の第１切り替え部ＳＷＡが通過状態に設定された場合、テスト入力端子ＴＤＩ１に供給されたデータＴＤＩが半導体チップＣＨＩＰ３の試験部ＴＡＰに転送される。端子ＴＣＫ１、ＴＭＳ１、ＴＲＳＴ１に供給された信号ＴＣＫ、ＴＭＳ、ＴＲＳＴが半導体チップＣＨＩＰ３の試験部ＴＡＰに転送される。

　【００９８】

　試験回路ＴＥＳＣにおいては、例えば、スイッチ制御部ＳＷＣＴＬは、試験部ＴＡＰの内部、例えば、試験部ＴＡＰ内のＴＡＰコントローラの内部に設けられてもよい。第１切り替え部ＳＷＡ４等は、省かれてもよい。

　【００９９】

　例えば、テスト入力端子ＴＩ１に供給されたデータが伝達されるテスト経路ＰＴ（ＰＴ１０、ＰＴ１１等）は、３本以上の信号経路で冗長化されてもよい。例えば、試験回路ＴＥＳＣは、２つの半導体チップＣＨＩＰが積層された半導体装置ＳＥＭ２、例えば半導体チップＣＨＩＰ２が省かれた半導体装置ＳＥＭ２に内蔵されてもよい。試験回路ＴＥＳＣは、４つ以上の半導体チップＣＨＩＰが積層された半導体装置ＳＥＭ２に内蔵されてもよい。

　【０１００】

　図３は、選択信号生成部および経路選択部の一例を示す。図３に示す選択信号生成部および経路選択部は、図２に示した選択信号生成部ＳＧＥＮおよび経路選択部ＳＥＬであってよい。図３に示した端子ＣＬＫに供給されるクロックＣＬＫは、例えば、図２に示したテストクロック端子ＴＣＫ１に供給されたクロック信号ＴＣＫ、または、クロック信号ＴＣＫに基づいて生成されたクロックであってよい。

　【０１０１】

　端子ＩＮ１、ＩＮ２は、半導体チップＣＨＩＰ２の選択信号生成部ＳＧＥＮ１および経路選択部ＳＥＬ１では、端子ＴＤＩ２０、ＴＤＩ２１に接続される。半導体チップＣＨＩＰ３の選択信号生成部ＳＧＥＮ１および経路選択部ＳＥＬ１では、端子ＩＮ１、ＩＮ２は、端子ＴＤＩ３０、ＴＤＩ３１に接続される。

　【０１０２】

　半導体チップＣＨＩＰ２の選択信号生成部ＳＧＥＮ２および経路選択部ＳＥＬ２では、端子ＩＮ１、ＩＮ２は、端子ＴＤＯ２２、ＴＤＯ２３に接続される。半導体チップＣＨＩＰ１の選択信号生成部ＳＧＥＮ２および経路選択部ＳＥＬ２では、端子ＩＮ１、ＩＮ２は、端子ＴＤＯ１０、ＴＤＯ１１に接続される。

　【０１０３】

　端子ＯＵＴ１は、半導体チップＣＨＩＰ２の経路選択部ＳＥＬ１では、第１切り替え部ＳＷＡ１等に接続される。半導体チップＣＨＩＰ３の経路選択部ＳＥＬ１では、端子ＯＵＴ１は試験部ＴＡＰに接続される。半導体チップＣＨＩＰ１、ＣＨＩＰ２の経路選択部ＳＥＬ２では、端子ＯＵＴ１は、第２切り替え部ＳＷＢに接続される。　【０１０４】

　選択信号生成部ＳＧＥＮは、ｎビット（ｎは２以上の整数）のシフトレジスタＳＦＴＲ１、ＳＦＴＲ２、論理積回路ＡＮＤ１、ＡＮＤ２、論理和回路ＯＲ１、ＯＲ２、ＯＲ３およびフリップフロップ回路ＦＦＣ１、ＦＦＣ２を有する。

　【０１０５】

　シフトレジスタＳＦＴＲ（ＳＦＴＲ１、ＳＦＴＲ２）は、複数の信号経路ＰＴを介して受けたデータ（端子ＩＮ１、ＩＮ２に転送されたデータ）をそれぞれ記憶するデータ記憶部の一例であってよい。例えば、シフトレジスタＳＦＴＲは、端子ＣＬＫに供給されたクロックＣＬＫに同期して動作し、端子ＩＮ（ＩＮ１、ＩＮ２）に転送されたデータを順次記憶する。

　【０１０６】

　シフトレジスタＳＦＴＲは、端子ＣＬＫに供給されたクロックＣＬＫに同期して動作するｎ個のフリップフロップ回路ＦＦ（ＦＦ１、ＦＦ２、ＦＦ３、ＦＦ４、・・・、ＦＦｎ）を有する。

　【０１０７】

　例えば、シフトレジスタＳＦＴＲ１の初段のフリップフロップ回路ＦＦ１の入力端子は端子ＩＮ１に接続され、シフトレジスタＳＦＴＲ２の初段のフリップフロップ回路ＦＦ１の入力端子は端子ＩＮ２に接続される。フリップフロップ回路ＦＦ２、ＦＦ３、ＦＦ４、・・・、ＦＦｎの各フリップフロップ回路ＦＦの入力端子は、前段のフリップフロップ回路ＦＦの出力端子に接続される。

　【０１０８】

　シフトレジスタＳＦＴＲ１の奇数段目のフリップフロップ回路ＦＦの出力端子は、論理積回路ＡＮＤ１の入力端子に接続され、偶数段目のフリップフロップ回路ＦＦの出力端子は、インバータＩＮＶを介して論理積回路ＡＮＤ１の入力端子に接続される。

　【０１０９】

　設定されたある入力ベクトルに対して、論理積回路ＡＮＤ１の出力に１が上がるように論理反転（インバータ）が挿入される。例えば、入力ベクトルが、０１０１０１・・・あるいは１０１０１０・・・と設定されてよい。

　【０１１０】

　インバータＮＶは、入力端子で受けた信号を反転した信号を出力する。図３においては、シフトレジスタＳＦＴＲ１のフリップフロップ回路ＦＦ２、ＦＦ４、ＦＦｎの出力端子は、インバータＩＮＶ１、ＩＮＶ２、ＩＮＶ３の入力端子にそれぞれ接続される。最終段のフリップフロップ回路ＦＦｎが奇数段目のフリップフロップ回路ＦＦである場合、フリップフロップ回路ＦＦｎの出力端子は、論理積回路ＡＮＤ１の入力端子に接続される。

　【０１１１】

　シフトレジスタＳＦＴＲ２の奇数段目のフリップフロップ回路ＦＦの出力端子は、論理積回路ＡＮＤ２の入力端子に接続され、偶数段目のフリップフロップ回路ＦＦの出力端子は、インバータＩＮＶを介して論理積回路ＡＮＤ２の入力端子に接続される。図３においては、シフトレジスタＳＦＴＲ２のフリップフロップ回路ＦＦ２、ＦＦ４、ＦＦｎの出力端子は、インバータＩＮＶ４、ＩＮＶ５、ＩＮＶ６の入力端子にそれぞれ接続される。なお、最終段のフリップフロップ回路ＦＦｎが奇数段目のフリップフロップ回路ＦＦである場合、フリップフロップ回路ＦＦｎの出力端子は、論理積回路ＡＮＤ２の入力端子に接続される。

　【０１１２】

　論理積回路ＡＮＤ（ＡＮＤ１、ＡＮＤ２）は、期待値を示すデータを転送した信号経路ＰＴに対応する制御信号ＣＮＴ（ＣＮＴ１、ＣＮＴ２）をアサートする第１制御部の一例であってよい。例えば、論理積回路ＡＮＤ１は、ｎ個の入力端子で受けたデータの論理積を演算し、演算結果を論理和回路ＯＲ１の入力端子に出力する。また、論理積回路ＡＮＤ２は、ｎ個の入力端子で受けたデータの論理積を演算し、演算結果を論理和回路ＯＲ２の入力端子に出力する。

　【０１１３】

　図３では、期待値を示すデータは、奇数番目のビット（奇数段目のフリップフロップ回路ＦＦの出力）の論理値が論理値”１”で、かつ、偶数番目のビット（偶数段目のフリップフロップ回路ＦＦの出力）の論理値が論理値”０”のｎビットのデータである。

　【０１１４】

　例えば、論理積回路ＡＮＤ１は、シフトレジスタＳＦＴＲ１の奇数段目および偶数段目のフリップフロップ回路ＦＦの出力がそれぞれ論理値”１”および論理値”０”である場合、論理値”１”の制御信号ＣＮＴ１を論理和回路ＯＲ１に出力する。同様に、論理積回路ＡＮＤ２は、シフトレジスタＳＦＴＲ２の奇数段目および偶数段目のフリップフロップ回路ＦＦの出力がそれぞれ論理値”１”および論理値”０”である場合、論理値”１”の制御信号ＣＮＴ２を論理和回路ＯＲ２に出力する。

　【０１１５】

　論理和回路ＯＲ１、ＯＲ２は、２つの入力端子で受けたデータの論理和を演算し、演算結果を出力する。例えば、論理和回路ＯＲ１の２つの入力端子は、論理積回路ＡＮＤ１の出力端子およびフリップフロップ回路ＦＦＣ１の出力端子にそれぞれ接続され、論理和回路ＯＲ１の出力端子は、フリップフロップ回路ＦＦＣ１の入力端子に接続される。例えば、論理和回路ＯＲ２の２つの入力端子は、論理積回路ＡＮＤ２の出力端子およびフリップフロップ回路ＦＦＣ２の出力端子にそれぞれ接続され、論理和回路ＯＲ２の出力端子は、フリップフロップ回路ＦＦＣ２の入力端子に接続される。

　【０１１６】

　論理和回路ＯＲ１は、フリップフロップ回路ＦＦＣ１に論理値”１”のデータが記憶された場合、論理値”１”のデータをフリップフロップ回路ＦＦＣ１から受ける。このため、論理和回路ＯＲ１は、フリップフロップ回路ＦＦＣ１に論理値”１”のデータが記憶された場合、制御信号ＣＮＴ１の論理値に拘わらず、論理値”１”のデータをフリップフロップ回路ＦＦＣ１に出力する。

　【０１１７】

　同様に、論理和回路ＯＲ２は、フリップフロップ回路ＦＦＣ２に論理値”１”のデータが記憶された場合、論理値”１”のデータをフリップフロップ回路ＦＦＣ２から受ける。このため、論理和回路ＯＲ２は、フリップフロップ回路ＦＦＣ２に論理値”１”のデータが記憶された場合、制御信号ＣＮＴ２の論理値に拘わらず、論理値”１”のデータをフリップフロップ回路ＦＦＣ２に出力する。

　【０１１８】

　フリップフロップ回路ＦＦＣ（ＦＦＣ１、ＦＦＣ２）は、複数の制御信号ＣＮＴ（ＣＮＴ１、ＣＮＴ２）の各々の論理値を記憶し、記憶した論理値に基づく選択信号ＳＥＬＣＴＬ（ＳＥＬＣＴＬ１、ＳＥＬＣＴＬ２）を出力する選択信号記憶部の一例であってよい。例えば、フリップフロップ回路ＦＦＣは、クロックＣＬＫに同期して動作し、入力端子で受けたデータを記憶する。フリップフロップ回路ＦＦＣは、端子ＩＮＨが論理値”１”の信号を受けた場合、クロックＣＬＫの入力を禁止する。例えば、端子ＩＮＨが論理値”１”の信号を受けている期間では、フリップフロップ回路ＦＦＣに記憶されたデータの論理値は、フリップフロップ回路ＦＦＣの入力端子に転送されたデータの論理値が変化した場合でも、更新されない。

　【０１１９】

　フリップフロップ回路ＦＦＣ１の出力端子は、論理和回路ＯＲ１、ＯＲ３の入力端子および論理積回路ＡＮＤ３の入力端子に接続される。例えば、フリップフロップ回路ＦＦＣ１に記憶されたデータの論理値を示す選択信号ＳＥＬＣＴＬ１が、論理和回路ＯＲ１、ＯＲ３および論理積回路ＡＮＤ３に転送される。フリップフロップ回路ＦＦＣ２の出力端子は、論理和回路ＯＲ２、ＯＲ３の入力端子および論理積回路ＡＮＤ４の入力端子に接続される。例えば、フリップフロップ回路ＦＦＣ２に記憶されたデータの論理値を示す選択信号ＳＥＬＣＴＬ２が、論理和回路ＯＲ２、ＯＲ３および論理積回路ＡＮＤ４に転送される。

　【０１２０】

　論理和回路ＯＲ３は、アサートされた制御信号ＣＮＴの論理値が選択信号記憶部、例えば、フリップフロップ回路ＦＦＣに記憶された場合、選択信号記憶部に記憶された論理値の更新を抑止する第２制御部の一例であってよい。例えば、論理和回路ＯＲ３は、２つの入力端子で受けた選択信号ＳＥＬＣＴＬ１、ＳＥＬＣＴＬ２の論理和を演算し、演算結果をフリップフロップ回路ＦＦＣ１、ＦＦＣ２の端子ＩＮＨに出力する。例えば、論理和回路ＯＲ３は、フリップフロップ回路ＦＦＣ１、ＦＦＣ２のいずれかに、論理値”１”のデータが記憶された場合、フリップフロップ回路ＦＦＣ１、ＦＦＣ２のそれぞれに記憶されたデータの論理値の更新を抑止する。

　【０１２１】

　例えば、端子ＩＮ１、ＩＮ２のうち、端子ＩＮ１に接続された信号経路ＰＴに故障が発生した場合、制御信号ＣＮＴ１は、ネゲートされた状態に維持され、制御信号ＣＮＴ２がアサートされる。この場合、フリップフロップ回路ＦＦＣ１、ＦＦＣ２に論理値”０”および論理値”１”のデータがそれぞれ記憶される。論理和回路ＯＲ３は、論理値”０”の選択信号ＳＥＬＣＴＬ１をフリップフロップ回路ＦＦＣ１から受け、論理値”１”の選択信号ＳＥＬＣＴＬ２をフリップフロップ回路ＦＦＣ２から受ける。このため、論理和回路ＯＲ３は、論理値”１”の信号を、フリップフロップ回路ＦＦＣ１、ＦＦＣ２の端子ＩＮＨに出力する。

　【０１２２】

　論理和回路ＯＲ３が論理値”１”の信号をフリップフロップ回路ＦＦＣ１、ＦＦＣ２の端子ＩＮＨに出力している間、フリップフロップ回路ＦＦＣ１は、記憶しているデータの論理値”０”の更新を停止する。同様に、論理和回路ＯＲ３が論理値”１”の信号をフリップフロップ回路ＦＦＣ１、ＦＦＣ２の端子ＩＮＨに出力している間、フリップフロップ回路ＦＦＣ２は、記憶しているデータの論理値”１”の更新を停止する。

　【０１２３】

　そのため、選択信号ＳＥＬＣＴＬ１、ＳＥＬＣＴＬ２は、論理値”０”および論理値”１”に維持される。例えば、選択信号生成部ＳＧＥＮは、期待値を示すデータを転送した信号経路ＰＴを示す選択信号ＳＥＬＣＴＬを生成した後の期間において、選択信号ＳＥＬＣＴＬ１、ＳＥＬＣＴＬ２の論理値が端子ＩＮ１、ＩＮ２に転送されるデータの変化に伴い変化することを防止してよい。選択信号生成部ＳＧＥＮは、期待値を示すデータを転送した信号経路ＰＴを示す選択信号ＳＥＬＣＴＬを、経路選択部ＳＥＬに安定して供給する。

　【０１２４】

　経路選択部ＳＥＬは、論理積回路ＡＮＤ３、ＡＮＤ４および論理和回路ＯＲ４を有する。論理積回路ＡＮＤ３、ＡＮＤ４は、２つの入力端子で受けたデータの論理積を演算し、演算結果を出力する。

　【０１２５】

　論理積回路ＡＮＤ３の２つの入力端子は、端子ＩＮ１およびフリップフロップ回路ＦＦＣ１の出力端子にそれぞれ接続される。例えば、論理積回路ＡＮＤ３は、選択信号生成部ＳＧＥＮのフリップフロップ回路ＦＦＣ１から受けた選択信号ＳＥＬＣＴＬ１と端子ＩＮ１から受けたデータとの論理積を演算し、演算結果を論理和回路ＯＲ４に出力する。

　【０１２６】

　論理積回路ＡＮＤ４の２つの入力端子は、端子ＩＮ２およびフリップフロップ回路ＦＦＣ２の出力端子にそれぞれ接続される。例えば、論理積回路ＡＮＤ４は、選択信号生成部ＳＧＥＮのフリップフロップ回路ＦＦＣ２から受けた選択信号ＳＥＬＣＴＬ２と端子ＩＮ２から受けたデータとの論理積を演算し、演算結果を論理和回路ＯＲ４に出力する。　【０１２７】

　論理和回路ＯＲ４は、２つの入力端子で受けたデータ、例えば論理積回路ＡＮＤ３、ＡＮＤ４の出力信号の論理和を演算し、演算結果を端子ＯＵＴ１に出力する。

　【０１２８】

　例えば、端子ＩＮ１、ＩＮ２のうち、端子ＩＮ１に接続された信号経路ＰＴに故障が発生した場合、論理積回路ＡＮＤ３は、論理値”０”の選択信号ＳＥＬＣＴＬ１を選択信号生成部ＳＧＥＮのフリップフロップ回路ＦＦＣ１から受ける。論理積回路ＡＮＤ３は、端子ＩＮ１に転送されたデータの論理値に拘わらず、論理値”０”のデータを論理和回路ＯＲ４に出力する。

　【０１２９】

　論理積回路ＡＮＤ４は、端子ＩＮ１、ＩＮ２のうち、端子ＩＮ１に接続された信号経路ＰＴに故障が発生した場合、論理値”１”の選択信号ＳＥＬＣＴＬ２を選択信号生成部ＳＧＥＮのフリップフロップ回路ＦＦＣ２から受ける。論理積回路ＡＮＤ４は、端子ＩＮ２に転送されたデータと同じ論理値のデータを論理和回路ＯＲ４に出力する。

　【０１３０】

　そのため、論理和回路ＯＲ４は、端子ＩＮ１、ＩＮ２のうち、端子ＩＮ１に接続された信号経路ＰＴに故障が発生した場合、端子ＩＮ２に転送されたデータと同じ論理値のデータを端子ＯＵＴ１に出力する。

　【０１３１】

　例えば、選択信号生成部ＳＧＥＮは、論理積回路ＡＮＤ１、ＡＮＤ２の代わりに、否定論理和回路を有してもよい。この場合、期待値を示すデータは、奇数番目のビット、例えば奇数段目のフリップフロップ回路ＦＦの出力の論理値が論理値”０”で、かつ、偶数番目のビット、例えば偶数段目のフリップフロップ回路ＦＦの出力の論理値が論理値”１”のｎビットのデータである。

　【０１３２】

　図４は、第１切り替え部の一例を示す。図４に示す第１切り替え部は、図２に示した第１切り替え部ＳＷＡであってよい。第１切り替え部ＳＷＡ（ＳＷＡ１－ＳＷＡ４）は、論理積回路ＡＮＤ１０、ＡＮＤ１１およびインバータＩＮＶ１０を有する。論理積回路ＡＮＤ１０、ＡＮＤ１１は、２つの入力端子で受けたデータの論理積を演算し、演算結果を出力する。インバータＩＮＶ１０は、入力端子で受けた信号を反転した信号を出力する。

　【０１３３】

　インバータＩＮＶ１０の入力端子は、端子ＳＷＳＥＬ１に接続され、インバータＩＮＶ１０の出力端子は、論理積回路ＡＮＤ１０の２つの入力端子の一方に接続される。論理積回路ＡＮＤ１０の２つの入力端子の他方は、端子ＩＮ１０に接続され、論理積回路ＡＮＤ１０の出力端子は、端子ＯＵＴ１０に接続される。論理積回路ＡＮＤ１１の２つの入力端子は、端子ＩＮ１０、ＳＷＳＥＬ１にそれぞれ接続され、論理積回路ＡＮＤ１１の出力端子は、端子ＯＵＴ１１に接続される。

　【０１３４】

　例えば、端子ＳＷＳＥＬ１は、スイッチ制御部ＳＷＣＴＬから制御信号を受ける。端子ＳＷＳＥＬ１で受けた制御信号が論理値”０”の場合、端子ＩＮ１０で受けた信号が端子ＯＵＴ１０から出力される。端子ＳＷＳＥＬ１で受けた制御信号が論理値”１”の場合、端子ＩＮ１０で受けた信号が端子ＯＵＴ１１から出力される。

　【０１３５】

　例えば、半導体チップＣＨＩＰ２では、第１切り替え部ＳＷＡ１の端子ＩＮ１０は、経路選択部ＳＥＬ１の出力端子に接続される。端子ＯＵＴ１０は、試験部ＴＡＰのテスト入力端子（データＴＤＩを受ける端子）に接続され、端子ＯＵＴ１１は、バッファＢＦ１、ＢＦ２に接続される。

　【０１３６】　図５は、第２切り替え部の一例を示す。図５に示す第２切り替え部は、図２に示した第２切り替え部ＳＷＢであってよい。第２切り替え部ＳＷＢは、論理積回路ＡＮＤ２０、ＡＮＤ２１、論理和回路ＯＲ２０およびインバータＩＮＶ２０を有する。論理積回路ＡＮＤ２０、ＡＮＤ２１は、２つの入力端子で受けたデータの論理積を演算し、演算結果を出力する。論理和回路ＯＲ２０は、２つの入力端子で受けたデータの論理和を演算し、演算結果を出力する。インバータＩＮＶ２０は、入力端子で受けた信号を反転した信号を出力する。

　【０１３７】

　インバータＩＮＶ２０の入力端子は、端子ＳＷＳＥＬ１に接続され、インバータＩＮＶ１０の出力端子は、論理積回路ＡＮＤ２０の２つの入力端子の一方に接続される。論理積回路ＡＮＤ２０の２つの入力端子の他方は、端子ＩＮ２０に接続される。論理積回路ＡＮＤ２１の２つの入力端子は、端子ＩＮ２１、ＳＷＳＥＬ１にそれぞれ接続される。論理和回路ＯＲ２０の２つの入力端子は、論理積回路ＡＮＤ２０、ＡＮＤ２１の出力端子にそれぞれ接続され、論理和回路ＯＲ２０の出力端子は、端子ＯＵＴ２０に接続される。

　【０１３８】

　例えば、端子ＳＷＳＥＬ１は、スイッチ制御部ＳＷＣＴＬから制御信号を受ける。端子ＳＷＳＥＬ１で受けた制御信号が論理値”０”の場合、端子ＩＮ２０で受けた信号が端子ＯＵＴ２０から出力される。端子ＳＷＳＥＬ１で受けた制御信号が論理値”１”の場合、端子ＩＮ２１で受けた信号が端子ＯＵＴ２０から出力される。

　【０１３９】

　例えば、半導体チップＣＨＩＰ２では、第２切り替え部ＳＷＢの端子ＩＮ２０、ＩＮ２１は、試験部ＴＡＰのテスト出力端子、例えばデータＴＤＯが出力される端子および経路選択部ＳＥＬ２の出力端子にそれぞれ接続される。第２切り替え部ＳＷＢの端子ＯＵＴ２０は、バッファＢＦ１０、ＢＦ１１に接続される。

　【０１４０】

　図６は、多数決選択部の一例を示す。図６に示す多数決選択部は、図２に示した多数決選択部ＭＡＪであってよい。多数決選択部ＭＡＪ（ＭＡＪ１、ＭＡＪ２）は、論理積回路ＡＮＤ３０、ＡＮＤ３１、ＡＮＤ３２および論理和回路ＯＲ３０を有する。論理積回路ＡＮＤ３０、ＡＮＤ３１、ＡＮＤ３２は、２つの入力端子で受けたデータの論理積を演算し、演算結果を出力する。論理和回路ＯＲ３０は、３つの入力端子で受けたデータの論理和を演算し、演算結果を出力する。

　【０１４１】

　論理積回路ＡＮＤ３０の２つの入力端子は、端子ＩＮ３０、ＩＮ３１にそれぞれ接続される。論理積回路ＡＮＤ３１の２つの入力端子は、端子ＩＮ３０、ＩＮ３２にそれぞれ接続される。論理積回路ＡＮＤ３２の２つの入力端子は、端子ＩＮ３１、ＩＮ３２にそれぞれ接続される。論理和回路ＯＲ３０の３つの入力端子は、論理積回路ＡＮＤ３０、ＡＮＤ３１、ＡＮＤ３２の出力端子にそれぞれ接続され、論理和回路ＯＲ３０の出力端子は、端子ＯＵＴ３０に接続される。

　【０１４２】

　例えば、端子ＩＮ３０、ＩＮ３１で受けた信号が互いに同じ論理値の場合、端子ＩＮ３０、ＩＮ３１で受けた信号と同じ論理値の信号が端子ＯＵＴ３０から出力される。例えば、端子ＩＮ３０、ＩＮ３２で受けた信号が互いに同じ論理値の場合、端子ＩＮ３０、ＩＮ３２で受けた信号と同じ論理値の信号が端子ＯＵＴ３０から出力される。例えば、端子ＩＮ３１、ＩＮ３２で受けた信号が互いに同じ論理値の場合、端子ＩＮ３１、ＩＮ３２で受けた信号と同じ論理値の信号が端子ＯＵＴ３０から出力される。

　【０１４３】

　例えば、半導体チップＣＨＩＰ２では、多数決選択部ＭＡＪ１の端子ＩＮ３０、ＩＮ３１、ＩＮ３２は、端子ＴＲＳＴ２０、ＴＲＳＴ２１、ＴＲＳＴ２２にそれぞれ接続される。多数決選択部ＭＡＪ１の端子ＯＵＴ３０は、第１切り替え部ＳＷＡ３の入力端子、例えば図４に示した端子ＩＮ１０）に接続される。

　【０１４４】

　図７は、試験回路の制御方法の一例を示す。図７においては、図２に示した試験回路ＴＥＳＣの制御方法が示される。図７では、半導体チップＣＨＩＰ１、ＣＨＩＰ２間のテスト経路ＰＴを設定する際の試験回路ＴＥＳＣの制御方法が示される。図７のオペレーションＳ１００－Ｓ１３０、Ｓ２００、Ｓ２２０、Ｓ２４０、Ｓ２６０、Ｓ２８０、Ｓ３１０、Ｓ４００は、半導体チップＣＨＩＰ１に含まれる試験回路ＴＥＳＣの動作を示している。オペレーションＳ２１０、Ｓ２３０、Ｓ２５０、Ｓ２７０、Ｓ２９０、Ｓ３００は、半導体チップＣＨＩＰ２に含まれる試験回路ＴＥＳＣの動作を示している。図７に示すオペレーションＳ１３０－Ｓ２７０は、下側の半導体チップＣＨＩＰから上側の半導体チップＣＨＩＰを設定するフロー、例えば上方チップ伝達シーケンスを示す。オペレーションＳ２６０－Ｓ４００は、実際の回路のテスト、例えば半導体装置ＳＥＭ２の試験に対応する。図７に示した動作は、例えば、半導体装置ＳＥＭ２を試験するテスト装置によって制御されてよい。図７においては、第１切り替え部ＳＷＡの初期状態および第２切り替え部ＳＷＢの初期状態は内部転送状態であってよい。

　【０１４５】

　オペレーションＳ１００では、半導体チップＣＨＩＰ１は、試験部ＴＡＰの状態をリセットする信号ＴＲＳＴを、テストリセット端子ＴＲＳＴ１で受ける。例えば、テスト装置は、テストリセット端子ＴＲＳＴ１に供給する信号ＴＲＳＴをアサートする。そのため、アサートされた信号ＴＲＳＴが半導体チップＣＨＩＰ１の試験部ＴＡＰに転送され、半導体チップＣＨＩＰ１の試験部ＴＡＰの状態がリセットされる。

　【０１４６】

　オペレーションＳ１１０では、半導体チップＣＨＩＰ１は、テスト装置から供給されるテストクロックＴＣＫを、テストクロック端子ＴＣＫ１で受ける。そのため、テストクロックＴＣＫが半導体チップＣＨＩＰ１の試験部ＴＡＰに転送される。

　【０１４７】

　オペレーションＳ１２０では、半導体チップＣＨＩＰ１は、リセットを解除する信号ＴＲＳＴを、テストリセット端子ＴＲＳＴ１で受ける。例えば、テスト装置は、テストリセット端子ＴＲＳＴ１に供給している信号ＴＲＳＴをネゲートする。そのため、ネゲートされた信号ＴＲＳＴが半導体チップＣＨＩＰ１の試験部ＴＡＰに転送され、半導体チップＣＨＩＰ１の試験部ＴＡＰの状態をリセットする処理が終了する。

　【０１４８】

　オペレーションＳ１３０では、半導体チップＣＨＩＰ１は、テスト装置から供給されるテストモードセレクトＴＭＳを、テストモードセレクト端子ＴＭＳ１で受ける。そのため、テストモードセレクトＴＭＳが半導体チップＣＨＩＰ１の試験部ＴＡＰに転送され、試験部ＴＡＰの状態が決定する。

　【０１４９】

　例えば、テスト装置は、テストモードセレクトＴＭＳを用いて、半導体チップＣＨＩＰの試験部ＴＡＰの状態を、半導体チップＣＨＩＰ１、ＣＨＩＰ２間のテスト経路ＰＴを設定するための状態に設定する。テスト装置は、試験部ＴＡＰ内のＴＡＰコントローラのステートを制御することによってスイッチ制御部ＳＷＣＴＬを制御し、半導体チップＣＨＩＰ１の第１切り替え部ＳＷＡおよび第２切り替え部ＳＷＢを通過状態に設定する。

　【０１５０】

　テスト装置から端子ＴＤＩ１、ＴＣＫ１、ＴＭＳ１、ＴＲＳＴ１に供給される信号ＴＤＩ、ＴＣＫ、ＴＭＳ、ＴＲＳＴは、半導体チップＣＨＩＰ２に転送される。半導体チップＣＨＩＰ２から転送されるデータＴＤＯがテスト出力端子ＴＤＯ１に転送される。

　【０１５１】

　オペレーションＳ２００では、半導体チップＣＨＩＰ１は、試験部ＴＡＰの状態をリセットする信号ＴＲＳＴをテストリセット端子ＴＲＳＴ１で受け、受けた信号ＴＲＳＴを３つの信号経路ＰＴ１３、ＰＴ１４、ＰＴ１５を用いて半導体チップＣＨＩＰ２に転送する。そのため、半導体チップＣＨＩＰ２は、オペレーションＳ２１０において、試験部ＴＡＰの状態をリセットする信号ＴＲＳＴを受ける。例えば、テスト装置は、テストリセット端子ＴＲＳＴ１に供給する信号ＴＲＳＴをアサートする。そのため、アサートされた信号ＴＲＳＴが半導体チップＣＨＩＰ１を介して半導体チップＣＨＩＰ２の試験部ＴＡＰに転送される。

　【０１５２】

　オペレーションＳ２１０では、半導体チップＣＨＩＰ２は、試験部ＴＡＰの状態をリセットする信号ＴＲＳＴを端子ＴＲＳＴ２０、ＴＲＳＴ２１、ＴＲＳＴ２２で受ける。そのため、半導体チップＣＨＩＰ２の多数決選択部ＭＡＪ１は、３つの信号経路ＰＴ１３、ＰＴ１４、ＰＴ１５をそれぞれ介して転送された信号ＴＲＳＴを受ける。多数決選択部ＭＡＪ１は、３つの信号経路ＰＴ１３、ＰＴ１４、ＰＴ１５をそれぞれ介して転送された信号ＴＲＳＴの論理値のうち、第１切り替え部ＳＷＡ３に転送するデータの論理値を多数決論理に基づいて決定する。そのため、試験部ＴＡＰの状態をリセットする信号ＴＲＳＴ、例えばアサートされた信号ＴＲＳＴが半導体チップＣＨＩＰ２の試験部ＴＡＰに転送され、半導体チップＣＨＩＰ２の試験部ＴＡＰの状態がリセットされる。

　【０１５３】

　オペレーションＳ２２０では、半導体チップＣＨＩＰ１は、テストクロック端子ＴＣＫ１に供給されているテストクロックＴＣＫを、半導体チップＣＨＩＰ２に転送する。そのため、半導体チップＣＨＩＰ２は、オペレーションＳ２３０において、テストクロックＴＣＫを受ける。

　【０１５４】

　オペレーションＳ２３０では、半導体チップＣＨＩＰ２は、半導体チップＣＨＩＰ１から転送されたテストクロックＴＣＫを端子ＴＣＫ２０で受ける。そのため、テストクロックＴＣＫが半導体チップＣＨＩＰ２の試験部ＴＡＰに転送される。

　【０１５５】

　オペレーションＳ２４０では、半導体チップＣＨＩＰ１は、リセットを解除する信号ＴＲＳＴをテストリセット端子ＴＲＳＴ１で受け、受けた信号ＴＲＳＴを３つの信号経路ＰＴ１３、ＰＴ１４、ＰＴ１５を用いて半導体チップＣＨＩＰ２に転送する。そのため、半導体チップＣＨＩＰ２は、オペレーションＳ２５０において、リセットを解除する信号ＴＲＳＴを受ける。例えば、テスト装置は、テストリセット端子ＴＲＳＴ１に供給している信号ＴＲＳＴをネゲートする。ネゲートされた信号ＴＲＳＴが半導体チップＣＨＩＰ１を介して半導体チップＣＨＩＰ２の試験部ＴＡＰに転送される。

　【０１５６】

オペレーションＳ２５０では、半導体チップＣＨＩＰ２は、リセットを解除する信号ＴＲＳＴを端子ＴＲＳＴ２０、ＴＲＳＴ２１、ＴＲＳＴ２２で受ける。そのため、半導体チップＣＨＩＰ２の多数決選択部ＭＡＪ１は、３つの信号経路ＰＴ１３、ＰＴ１４、ＰＴ１５をそれぞれ介して転送された信号ＴＲＳＴを受ける。多数決選択部ＭＡＪ１は、３つの信号経路ＰＴ１３、ＰＴ１４、ＰＴ１５をそれぞれ介して転送された信号ＴＲＳＴの論理値のうち、第１切り替え部ＳＷＡ３に転送するデータの論理値を多数決論理に基づいて決定する。リセットを解除される信号ＴＲＳＴ、例えばネゲートされた信号ＴＲＳＴが半導体チップＣＨＩＰ２の試験部ＴＡＰに転送され、半導体チップＣＨＩＰ２の試験部ＴＡＰの状態をリセットする処理が終了する。

　【０１５７】

　オペレーションＳ２６０では、半導体チップＣＨＩＰ１は、テスト装置から供給されるテストモードセレクトＴＭＳをテストモードセレクト端子ＴＭＳ１で受ける。半導体チップＣＨＩＰ１は、テスト装置から受けたテストモードセレクトＴＭＳを３つの信号経路ＰＴ１６、ＰＴ１７、ＰＴ１８を用いて半導体チップＣＨＩＰ２に転送する。そのため、半導体チップＣＨＩＰ２は、オペレーションＳ２７０において、テストモードセレクトＴＭＳを受ける。

　【０１５８】

　オペレーションＳ２７０では、半導体チップＣＨＩＰ２は、テストモードセレクトＴＭＳを端子ＴＭＳ２０、ＴＭＳ２１、ＴＭＳ２２で受ける。そのため、半導体チップＣＨＩＰ２の多数決選択部ＭＡＪ２は、３つの信号経路ＰＴ１６、ＰＴ１７、ＰＴ１８をそれぞれ介して転送された信号ＴＭＳを受ける。多数決選択部ＭＡＪ２は、３つの信号経路ＰＴ１６、ＰＴ１７、ＰＴ１８をそれぞれ介して転送された信号ＴＭＳの論理値のうち、第１切り替え部ＳＷＡ４に転送するデータの論理値を多数決論理に基づいて決定する。そのため、テストモードセレクトＴＭＳが半導体チップＣＨＩＰ２の試験部ＴＡＰに転送され、試験部ＴＡＰの状態が決定される。

　【０１５９】

　例えば、テスト装置は、テストモードセレクトＴＭＳを用いて、半導体チップＣＨＩＰ２の試験部ＴＡＰの状態を、半導体チップＣＨＩＰ１、ＣＨＩＰ２間のテスト経路ＰＴを設定するための状態に設定する。半導体チップＣＨＩＰ２の第１切り替え部ＳＷＡおよび第２切り替え部ＳＷＢの動作状態は、内部転送状態に維持される。

　【０１６０】

　そのため、テスト装置からテスト入力端子ＴＤＩ１に供給されるデータＴＤＩは、半導体チップＣＨＩＰ２の試験部に転送される。半導体チップＣＨＩＰ２の試験部ＴＡＰに転送されたデータＴＤＩは、データＴＤＯとしてテスト出力端子ＴＤＯ１に転送される。

　【０１６１】

　オペレーションＳ２８０では、半導体チップＣＨＩＰ１は、期待値と同じ論理値のデータＴＤＩをテスト入力端子ＴＤＩ１で受け、受けたデータＴＤＩを２つの信号経路ＰＴ１０、ＰＴ１１を用いて半導体チップＣＨＩＰ２に転送する。例えば、テスト装置は、論理値”０”と論理値”１”のデータをテスト入力端子ＴＤＩ１に交互に転送する。そのため、半導体チップＣＨＩＰ２は、ステップＳ２９０において、信号経路ＰＴ１０、ＰＴ１１のいずれかが正常な場合、期待値と同じ論理値のデータＴＤＩを受ける。

　【０１６２】

　オペレーションＳ２９０では、半導体チップＣＨＩＰ２は、データＴＤＩを端子ＴＤＩ２０、ＴＤＩ２１で受ける。そのため、半導体チップＣＨＩＰ２の選択信号生成部ＳＧＥＮ１は、２つの信号経路ＰＴ１０、ＰＴ１１をそれぞれ介して転送されたデータＴＤＩを受ける。選択信号生成部ＳＧＥＮ１は、２つの信号経路ＰＴ１０、ＰＴ１１のいずれかを介して受けたデータＴＤＩが期待値を示した場合、期待値を示すデータＴＤＩを転送した信号経路ＰＴを示す選択信号ＳＥＬＣＴＬを生成する。例えば、選択信号生成部ＳＧＥＮ１は、選択信号ＳＥＬＣＴＬ１、ＳＥＬＣＴＬ２のうち、期待値を示すデータＴＤＩを転送した信号経路ＰＴに対応する選択信号ＳＥＬＣＴＬをアサートする。

　【０１６３】

　半導体チップＣＨＩＰ２の経路選択部ＳＥＬ１は、信号経路ＰＴ１０、ＰＴ１１のうち、半導体装置ＳＥＭ２を試験する際に使用する信号経路ＰＴを、選択信号生成部ＳＧＥＮ１から受けた選択信号ＳＥＬＣＴＬに基づいて選択する。例えば、経路選択部ＳＥＬ１は、アサートされた選択信号ＳＥＬＣＴＬに対応する信号経路ＰＴを選択する。そのため、データＴＤＩを転送する際の半導体チップＣＨＩＰ１、ＣＨＩＰ２間のテスト経路ＰＴが設定される。

　【０１６４】

　データＴＤＩを転送する際のテスト経路ＰＴが設定されたため、半導体チップＣＨＩＰ１から転送されたデータＴＤＩ、期待値を示すデータＴＤＩは、半導体チップＣＨＩＰ２の試験部ＴＡＰに転送される。

　【０１６５】

　オペレーションＳ３００では、半導体チップＣＨＩＰ２は、半導体チップＣＨＩＰ２の試験部ＴＡＰに転送されたデータＴＤＩ、例えば、期待値を示すデータＴＤＩをデータＴＤＯとして、２つの信号経路ＰＴ１９、ＰＴ２０を用いて半導体チップＣＨＩＰ１に転送する。そのため、半導体チップＣＨＩＰ１は、オペレーションＳ３１０において、信号経路ＰＴ１９、ＰＴ２０のいずれかが正常な場合、期待値と同じ論理値のデータＴＤＯを受ける。

　【０１６６】

　オペレーションＳ３１０では、半導体チップＣＨＩＰ１は、データＴＤＯを端子ＴＤＯ１０、ＴＤＯ１１で受ける。そのため、半導体チップＣＨＩＰ１の選択信号生成部ＳＧＥＮ２は、２つの信号経路ＰＴ１９、ＰＴ２０をそれぞれ介して転送されたデータＴＤＯを受ける。選択信号生成部ＳＧＥＮ２は、２つの信号経路ＰＴ１９、ＰＴ２０のいずれかを介して受けたデータＴＤＯが期待値を示した場合、期待値を示すデータＴＤＯを転送した信号経路ＰＴを示す選択信号ＳＥＬＣＴＬを生成する。例えば、選択信号生成部ＳＧＥＮ２は、選択信号ＳＥＬＣＴＬ１、ＳＥＬＣＴＬ２のうち、期待値を示すデータＴＤＯを転送した信号経路ＰＴに対応する選択信号ＳＥＬＣＴＬをアサートする。

　【０１６７】

　半導体チップＣＨＩＰ１の経路選択部ＳＥＬ２は、信号経路ＰＴ１９、ＰＴ２０のうち、半導体装置ＳＥＭ２を試験する際に使用する信号経路ＰＴを、選択信号生成部ＳＧＥＮ２から受けた選択信号ＳＥＬＣＴＬに基づいて選択する。例えば、経路選択部ＳＥＬ２は、アサートされた選択信号ＳＥＬＣＴＬに対応する信号経路ＰＴを選択する。そのため、データＴＤＯを転送する際の半導体チップＣＨＩＰ１、ＣＨＩＰ２間のテスト経路ＰＴが設定される。データＴＤＯを転送する際のテスト経路ＰＴが設定されたため、半導体チップＣＨＩＰ２から転送されたデータＴＤＯは、テスト出力端子ＴＤＯ１に転送される。

　【０１６８】

　オペレーションＳ４００では、半導体チップＣＨＩＰ１は、半導体チップＣＨＩＰ２から受けたデータＴＤＯをテスト出力端子ＴＤＯ１を介してテスト装置に出力する。

　【０１６９】

　半導体チップＣＨＩＰ１、ＣＨＩＰ２間のテスト経路ＰＴが設定される。半導体チップＣＨＩＰ２、ＣＨＩＰ３間のテスト経路ＰＴの設定は、例えば、オペレーションＳ４００の後に実行されてよい。例えば、テスト装置は、試験部ＴＡＰ内のＴＡＰコントローラのステートを制御することによってスイッチ制御部ＳＷＣＴＬを制御し、半導体チップＣＨＩＰ２の第１切り替え部ＳＷＡおよび第２切り替え部ＳＷＢを通過状態に設定する。

　【０１７０】

　テスト装置は、オペレーションＳ２００、Ｓ２２０、Ｓ２４０、Ｓ２６０、Ｓ２８０と同様の動作を半導体チップＣＨＩＰ１に実行させ、オペレーションＳ２１０、Ｓ２３０、Ｓ２５０、Ｓ２７０、Ｓ２９０と同様の動作を半導体チップＣＨＩＰ３に実行させる。テスト装置は、オペレーションＳ３００と同様の動作を半導体チップＣＨＩＰ３に実行させ、オペレーションＳ３１０、Ｓ４００と同様の動作を半導体チップＣＨＩＰ１に実行させる。半導体チップＣＨＩＰ２、ＣＨＩＰ３間のテスト経路ＰＴが設定される。

　【０１７１】

　複数の半導体チップＣＨＩＰ間のテスト経路ＰＴが設定された後、半導体装置ＳＥＭ２を試験するデータＴＤＩがテスト入力端子ＴＤＩ１に供給される。

　【０１７２】

　例えば、半導体チップＣＨＩＰ１の試験部を用いた試験が実行される場合、テスト装置は、半導体チップＣＨＩＰ２、ＣＨＩＰ３の試験部にデータＴＤＩ等が転送されないため、半導体チップＣＨＩＰ２、ＣＨＩＰ３の試験部ＴＡＰの誤動作が低減されるかもしれない。半導体チップＣＨＩＰ１の試験部ＴＡＰから出力されるデータＴＤＯと他の半導体チップＣＨＩＰから転送されるデータＴＤＯとの衝突が低減されるかもしれない。

　【０１７３】

　半導体チップＣＨＩＰ２の試験部ＴＡＰを用いた試験が実行される場合、例えば、テスト装置は、半導体チップＣＨＩＰ１の第１切り替え部ＳＷＡおよび第２切り替え部ＳＷＢを通過状態に設定する。テスト装置は、半導体チップＣＨＩＰ２の第１切り替え部ＳＷＡおよび第２切り替え部ＳＷＢを内部転送状態に設定する。半導体チップＣＨＩＰ１、ＣＨＩＰ３の試験部ＴＡＰにデータＴＤＩ等が転送されないため、半導体チップＣＨＩＰ１、ＣＨＩＰ３の試験部ＴＡＰの誤動作が低減されるかもしれない。半導体チップＣＨＩＰ２の試験部ＴＡＰから出力されるデータＴＤＯと他の半導体チップＣＨＩＰから転送されるデータＴＤＯとの衝突が低減されるかもしれない。

　【０１７４】

　半導体チップＣＨＩＰ３の試験部ＴＡＰを用いた試験が実行される場合、例えば、テスト装置は、半導体チップＣＨＩＰ１、ＣＨＩＰ２の第１切り替え部ＳＷＡおよび第２切り替え部ＳＷＢを通過状態に設定する。半導体チップＣＨＩＰ１、ＣＨＩＰ２の試験部ＴＡＰにデータＴＤＩ等が転送されないため、半導体チップＣＨＩＰ１、ＣＨＩＰ２の試験部ＴＡＰの誤動作が低減されるかもしれない。半導体チップＣＨＩＰ３の試験部ＴＡＰから出力されるデータＴＤＯと他の半導体チップＣＨＩＰから転送されるデータＴＤＯとの衝突が低減されるかもしれない。

　【０１７５】

　例えば、半導体チップＣＨＩＰ１、ＣＨＩＰ２間のデータＴＤＩのテスト経路ＰＴが設定された後で、データＴＤＯのテスト経路が設定される前に、半導体チップＣＨＩＰ２、ＣＨＩＰ３間のデータＴＤＩのテスト経路ＰＴが設定されてもよい。半導体チップＣＨＩＰ１、ＣＨＩＰ２間のテスト経路ＰＴが設定された後で、半導体チップＣＨＩＰ２、ＣＨＩＰ３間のテスト経路が設定される前に、半導体チップＣＨＩＰ２の試験部ＴＡＰを用いた試験が実行されてもよい。信号ＴＲＳＴは、下側の半導体チップＣＨＩＰの試験部ＴＡＰ内のＴＡＰコントローラ等から上側の半導体チップＣＨＩＰに送信されてもよい。

　【０１７６】

　図２から図７において、図１での同様の効果が得られるかもしれない。例えば、選択信号生成部ＳＧＥＮは、期待値を示すデータＴＤＩを複数の信号経路ＰＴのいずれかを介して受けた場合、期待値を示すデータＴＤＩを転送した信号経路ＰＴを示す選択信号ＳＥＬＣＴＬを生成する。経路選択部ＳＥＬは、複数の信号経路ＰＴのうち、半導体装置ＳＥＭ２を試験する際に使用する信号経路ＰＴを、選択信号生成部ＳＧＥＮから受けた選択信号ＳＥＬＣＴＬに基づいて選択する。

　【０１７７】

　テスト入力端子ＴＤＩ１に供給されたデータが伝達される冗長化された信号経路ＰＴ、例えば、２本１組の信号経路ＰＴの一方が故障した場合でも、半導体チップＣＨＩＰ間の信号経路の故障箇所を検出する試験が実行される。そのため、故障箇所を迂回して不良が救済されるかもしれない。半導体装置ＳＥＭ２の歩留まりが向上するかもしれない。

　【０１７８】

　試験回路ＴＥＳＣは、データＴＤＩ等の転送先を切り替える第１切り替え部ＳＷＡと、データＴＤＯの転送元を切り替える第２切り替え部ＳＷＢとを有する。そのため、試験回路ＴＥＳＣは、複数の半導体チップＣＨＩＰの試験部ＴＡＰのうち、試験の対象となる半導体チップＣＨＩＰの試験部ＴＡＰにデータＴＤＩ等を供給する。例えば、試験回路ＴＥＳＣは、複数の半導体チップＣＨＩＰの試験部ＴＡＰのうち、試験の対象となる半導体チップＣＨＩＰ以外の試験部ＴＡＰへのデータＴＤＩ等の転送が低減されるかもしれない。

　【０１７９】

　選択信号生成部ＳＧＥＮは、アサートされた制御信号ＣＮＴの論理値がフリップフロップ回路ＦＦＣに記憶された場合、フリップフロップ回路ＦＦＣに記憶された論理値の更新を抑止する論理和回路ＯＲ３を有する。例えば、期待値を示すデータＴＤＩを転送した信号経路ＰＴを示す選択信号ＳＥＬＣＴＬを生成した後の期間において、選択信号ＳＥＬＣＴＬが信号経路ＰＴに転送されるデータＴＤＩの変化に伴い変化することが低減される。期待値を示すデータを転送した信号経路ＰＴを示す選択信号ＳＥＬＣＴＬが、経路選択部ＳＥＬに安定して供給される。

　【０１８０】

　図８は、試験回路の一例を示す。図８において、図１から図７に示す要素と実質的に同一または同様の要素には、同一または同様の符号が付され、詳細な説明は省略されるかもしれない。試験回路ＴＥＳＣ２は、複数の半導体チップＣＨＩＰ（ＣＨＩＰ１、ＣＨＩＰ２、ＣＨＩＰ３）を含む半導体装置ＳＥＭ３を試験する。半導体装置ＳＥＭ３は、図２に示した試験回路ＴＥＳＣの代わりに試験回路ＴＥＳＣ２を有することを除いて、図２に示した半導体装置ＳＥＭ２と実質的同一または同様であってよい。試験回路ＴＥＳＣ２の制御方法は、試験回路ＴＥＳＣの制御方法と実質的に同一または同様であってよい。

　【０１８１】

　試験回路ＴＥＳＣ２は、図２に示したスイッチ制御部ＳＷＣＴＬおよび第１切り替え部ＳＷＡの代わりに、スイッチ制御部ＳＷＣＴＬ２および第１切り替え部ＳＷＣを有する。試験回路ＴＥＳＣ２のその他の構成は、図２に示した試験回路ＴＥＳＣと実質的に同一または同様であってよい。

　【０１８２】

　例えば、試験回路ＴＥＳＣ２は、選択信号生成部ＳＧＥＮと、経路選択部ＳＥＬと、バッファＢＦと、第１切り替え部ＳＷＣと、第２切り替え部ＳＷＢと、スイッチ制御部ＳＷＣＴＬ２と、多数決選択部ＭＡＪと、ＪＴＡＧに対応した試験部ＴＡＰとを有する。

　【０１８３】

　スイッチ制御部ＳＷＣＴＬ２は、例えば、試験部ＴＡＰ内のＴＡＰコントローラのステートに応じて、第１切り替え部ＳＷＣ１－ＳＷＣ４および第２切り替え部ＳＷＢの動作状態を設定する。図８では、図を見やすくするために、スイッチ制御部ＳＷＣＴＬ２と、第１切り替え部ＳＷＣ２－ＳＷＣ４、第２切り替え部ＳＷＢ、試験部ＴＡＰ等との間の信号線は省略されるかもしれない。

　【０１８４】

　例えば、スイッチ制御部ＳＷＣＴＬ２は、試験の対象となる半導体チップＣＨＩＰに合わせて、第１切り替え部ＳＷＣ１－ＳＷＣ４の動作状態を制御する制御信号と、第２切り替え部ＳＷＢの動作状態を制御する制御信号とを生成する。

　【０１８５】

　第１切り替え部ＳＷＣ（ＳＷＣ１－ＳＷＣ４）は、スイッチ制御部ＳＷＣＴＬ２から受ける制御信号に基づいて、内部転送状態、通過状態および両方向状態のいずれかに設定される。内部転送状態では、第１切り替え部ＳＷＣが受けたデータ、例えば第１切り替え部ＳＷＣ１におけるデータＴＤＩは、自身の半導体チップＣＨＩＰの試験部ＴＡＰに転送される。通過状態では、第１切り替え部ＳＷＣが受けたデータ、例えば第１切り替え部ＳＷＣ１におけるデータＴＤＩは、他の半導体チップＣＨＩＰに転送される。両方向状態では、第１切り替え部ＳＷＣが受けたデータ、例えば第１切り替え部ＳＷＣ１におけるデータＴＤＩは、自身の半導体チップＣＨＩＰの試験部ＴＡＰおよび他の半導体チップＣＨＩＰに転送される。

　【０１８６】

　各第１切り替え部ＳＷＣの入力端子および２つの出力端子の接続関係は、図２に示した各第１切り替え部ＳＷＡと実質的に同一または同様であってよい。半導体チップＣＨＩＰ１の第１切り替え部ＳＷＣが内部転送状態に設定された場合、半導体チップＣＨＩＰ１の試験部ＴＡＰは、端子ＴＤＩ１、ＴＣＫ１、ＴＭＳ１、ＴＲＳＴ１から信号ＴＤＩ、ＴＣＫ、ＴＭＳ、ＴＲＳＴを受ける。半導体チップＣＨＩＰ１の第１切り替え部ＳＷＣが通過状態に設定された場合、端子ＴＤＩ１、ＴＣＫ１、ＴＭＳ１、ＴＲＳＴ１に供給された信号ＴＤＩ、ＴＣＫ、ＴＭＳ、ＴＲＳＴは、半導体チップＣＨＩＰ２に転送される。

　【０１８７】

　半導体チップＣＨＩＰ１の第１切り替え部ＳＷＣが両方向状態に設定された場合、半導体チップＣＨＩＰ１の試験部ＴＡＰは、端子ＴＤＩ１、ＴＣＫ１、ＴＭＳ１、ＴＲＳＴ１から信号ＴＤＩ、ＴＣＫ、ＴＭＳ、ＴＲＳＴを受ける。半導体チップＣＨＩＰ１の第１切り替え部ＳＷＣが両方向状態に設定された場合、端子ＴＤＩ１、ＴＣＫ１、ＴＭＳ１、ＴＲＳＴ１に供給された信号ＴＤＩ、ＴＣＫ、ＴＭＳ、ＴＲＳＴは、半導体チップＣＨＩＰ２に転送される。　【０１８８】

　例えば、スイッチ制御部ＳＷＣＴＬ２は、試験部ＴＡＰの内部、例えば、試験部ＴＡＰ内のＴＡＰコントローラの内部に設けられてもよい。第１切り替え部ＳＷＣ４等は、省かれてもよい。

　【０１８９】

　例えば、テスト入力端子ＴＩ１に供給されたデータが伝達されるテスト経路ＰＴ（ＰＴ１０、ＰＴ１１等）は、３本以上の信号経路で冗長化されてもよい。例えば、試験回路ＴＥＳＣ２は、２つの半導体チップＣＨＩＰが積層された半導体装置ＳＥＭ３、例えば半導体チップＣＨＩＰ２が省かれた半導体装置ＳＥＭ３に内蔵されてもよい。試験回路ＴＥＳＣ２は、４つ以上の半導体チップＣＨＩＰが積層された半導体装置ＳＥＭ３に内蔵されてもよい。

　【０１９０】

　図９は、第１切り替え部の一例を示す。図９に示す第１切り替え部は、図８に示した第１切り替え部ＳＷＣであってよい。第１切り替え部ＳＷＣ（ＳＷＣ１－ＳＷＣ４）は、論理積回路ＡＮＤ１０、ＡＮＤ１１を有する。論理積回路ＡＮＤ１０は、２つの端子ＩＮ１０、ＳＷＳＥＬ１０に転送されたデータの論理積を演算し、演算結果を端子ＯＵＴ１０に出力する。論理積回路ＡＮＤ１１は、２つの端子ＩＮ１０、ＳＷＳＥＬ１１に転送されたデータの論理積を演算し、演算結果を端子ＯＵＴ１１に出力する。

　【０１９１】

　例えば、端子ＳＷＳＥＬ１０、ＳＷＳＥＬ１１は、スイッチ制御部ＳＷＣＴＬ２から制御信号を受ける。端子ＳＷＳＥＬ１０、ＳＷＳＥＬ１１で受けた制御信号がそれぞれ論理値”１”および論理値”０”の場合、例えば、内部転送状態である場合、端子ＩＮ１０で受けた信号が端子ＯＵＴ１０から出力され、端子ＯＵＴ１１は、論理値”０”に維持される。端子ＳＷＳＥＬ１０、ＳＷＳＥＬ１１で受けた制御信号がそれぞれ論理値”０”および論理値”１”の場合、例えば、通過状態である場合、端子ＩＮ１０で受けた信号が端子ＯＵＴ１１から出力され、端子ＯＵＴ１０は、論理値”０”に維持される。

　【０１９２】

　端子ＳＷＳＥＬ１０、ＳＷＳＥＬ１１で受けた両方の制御信号が論理値”１”の場合、例えば、両方向状態である場合、端子ＩＮ１０で受けた信号が端子ＯＵＴ１０、ＯＵＴ１１の両方から出力される。例えば、半導体チップＣＨＩＰ２では、第１切り替え部ＳＷＣ１の端子ＩＮ１０は、経路選択部ＳＥＬ１の出力端子に接続される。端子ＯＵＴ１０は、試験部ＴＡＰのテスト入力端子（データＴＤＩを受ける端子）に接続され、端子ＯＵＴ１１は、バッファＢＦ１、ＢＦ２に接続される。

　【０１９３】

　図８から図９においても、図２から図７での効果と実質的同様の効果が得られるかもしれない。例えば、テスト入力端子ＴＤＩ１に供給されたデータが伝達される冗長化された信号経路ＰＴ、例えば、２本１組の信号経路ＰＴの一方が故障した場合でも、半導体チップＣＨＩＰ間の信号経路の故障箇所を検出する試験が実行される。そのため、故障箇所を迂回して不良が救済されるかもしれない。半導体装置ＳＥＭ３の歩留まりが向上するかもしれない。

　【０１９４】

　試験回路ＴＥＳＣ２は、データＴＤＩ等の転送先を切り替える第１切り替え部ＳＷＣを有する。例えば、試験部ＴＡＰ内のデータレジスタ等に複数の半導体チップＣＨＩＰで同じデータが設定される場合、試験回路ＴＥＳＣ２は、複数の半導体チップＣＨＩＰの試験部ＴＡＰにデータＴＤＩ等をブロードキャストで供給する。この結果、試験部ＴＡＰ内のデータレジスタ等にデータを設定する時間が短縮され、半導体装置ＳＥＭ３の試験時間が短縮されるかもしれない。

　【０１９５】

　図１０は、試験回路の一例を示す。図１０において、図１から図９で示す要素と実質的に同一または同様の要素には、同一または同様の符号が付され、詳細な説明は省略されるかもしれない。試験回路ＴＥＳＣ３は、複数の半導体チップＣＨＩＰ（ＣＨＩＰ１、ＣＨＩＰ２、ＣＨＩＰ３）を含む半導体装置ＳＥＭ４を試験する。半導体装置ＳＥＭ４は、図２に示した試験回路ＴＥＳＣの代わりに試験回路ＴＥＳＣ３を有することを除いて、図２に示した半導体装置ＳＥＭ２と実質的に同一または同様であってよい。試験回路ＴＥＳＣ３の制御方法は、試験回路ＴＥＳＣの制御方法と実質的に同一または同様であってよい。

　【０１９６】

　試験回路ＴＥＳＣ３は、図２に示した選択信号生成部ＳＧＥＮ（ＳＧＥＮ１、ＳＧＥＮ２）の代わりに、選択信号生成部ＳＧＥＮａ（ＳＧＥＮａ１、ＳＧＥＮａ２）を有する。試験回路ＴＥＳＣ３のその他の構成は、図２に示した試験回路ＴＥＳＣと実質的に同一または同様であってよい。

　【０１９７】

　例えば、試験回路ＴＥＳＣ３は、選択信号生成部ＳＧＥＮａと、経路選択部ＳＥＬと、バッファＢＦと、第１切り替え部ＳＷＡと、第２切り替え部ＳＷＢと、スイッチ制御部ＳＷＣＴＬと、多数決選択部ＭＡＪと、ＪＴＡＧに対応した試験部ＴＡＰとを有する。

　【０１９８】

　選択信号生成部ＳＧＥＮａは、期待値を示すデータＴＤＩを転送した信号経路ＰＴが複数存在する場合、期待値を示すデータＴＤＩを転送した複数の信号経路ＰＴのうちの１つを示す選択信号ＳＥＬＣＴＬを生成する。

　【０１９９】

　例えば、スイッチ制御部ＳＷＣＴＬは、試験部ＴＡＰの内部、例えば、試験部ＴＡＰ内のＴＡＰコントローラの内部に設けられてもよい。第１切り替え部ＳＷＡ４等は、省かれてもよい。

　【０２００】

　例えば、試験回路ＴＥＳＣ３は、スイッチ制御部ＳＷＣＴＬおよび第１切り替え部ＳＷＡの代わりに、図８に示すスイッチ制御部ＳＷＣＴＬ２および第１切り替え部ＳＷＣを有してもよい。

　【０２０１】

　テスト入力端子ＴＩ１に供給されたデータが伝達されるテスト経路ＰＴ（ＰＴ１０、ＰＴ１１等）は、３本以上の信号経路で冗長化されてもよい。例えば、試験回路ＴＥＳＣ３は、２つの半導体チップＣＨＩＰが積層された半導体装置ＳＥＭ４、例えば半導体チップＣＨＩＰ２が省かれた半導体装置ＳＥＭ４に内蔵されてもよい。試験回路ＴＥＳＣ３は、４つ以上の半導体チップＣＨＩＰが積層された半導体装置ＳＥＭ４に内蔵されてもよい。

　【０２０２】

　図１１は、選択信号生成部の一例を示す。図１１に示す選択信号生成部は、図１０に示した選択信号生成部ＳＧＥＮａであってよい。図１０に示した端子ＣＬＫ、ＩＮ１、ＩＮ２の接続先等は、図３に示した選択信号生成部ＳＧＥＮと実質的に同一または同様であってよい。選択信号生成部ＳＧＥＮａでは、否定論理積回路ＮＡＮＤ１および論理積回路ＡＮＤ５が図３に示した選択信号生成部ＳＧＥＮに追加されている。選択信号生成部ＳＧＥＮａのその他の構成は、図３に示した選択信号生成部ＳＧＥＮと実質的に同一または同様であってよい。

　【０２０３】

　選択信号生成部ＳＧＥＮａは、ｎビットのシフトレジスタＳＦＴＲ１、ＳＦＴＲ２、論理積回路ＡＮＤ１、ＡＮＤ２、ＡＮＤ５、否定論理積回路ＮＡＮＤ１、論理和回路ＯＲ１、ＯＲ２、ＯＲ３およびフリップフロップ回路ＦＦＣ１、ＦＦＣ２を有する。、ｎは２以上の整数である。選択信号生成部ＳＧＥＮａでは、選択信号ＳＥＬＣＴＬ２の代わりに、選択信号ＳＥＬＣＴＬ２ａが経路選択部ＳＥＬに転送される。

　【０２０４】

　否定論理積回路ＮＡＮＤ１は、フリップフロップ回路ＦＦＣ１、ＦＦＣ２から選択信号ＳＥＬＣＴＬ１、ＳＥＬＣＴＬ２を２つの入力端子でそれぞれ受ける。否定論理積回路ＮＡＮＤ１は、２つの入力端子で受けた選択信号ＳＥＬＣＴＬ１、ＳＥＬＣＴＬ２の否定論理積を演算し、演算結果を論理積回路ＡＮＤ５に出力する。

　【０２０５】

　論理積回路ＡＮＤ５は、否定論理積回路ＮＡＮＤ１の出力信号と選択信号ＳＥＬＣＴＬ２を２つの入力端子でそれぞれ受ける。論理積回路ＡＮＤ５は、２つの入力端子で受けたデータの論理積を演算し、演算結果を選択信号ＳＥＬＣＴＬ２ａとして、経路選択部ＳＥＬに転送する。

　【０２０６】

　例えば、選択信号ＳＥＬＣＴＬ１、ＳＥＬＣＴＬ２の両方が論理値”０”の場合、論理値”０”の選択信号ＳＥＬＣＴＬ１、ＳＥＬＣＴＬ２ａが経路選択部ＳＥＬに転送される。例えば、選択信号ＳＥＬＣＴＬ１、ＳＥＬＣＴＬ２がそれぞれ論理値”０”および論理値”１”の場合、論理値”０”の選択信号ＳＥＬＣＴＬ１および論理値”１”の選択信号ＳＥＬＣＴＬ２ａが経路選択部ＳＥＬに転送される。また、例えば、選択信号ＳＥＬＣＴＬ１、ＳＥＬＣＴＬ２がそれぞれ論理値”１”および論理値”０”の場合、論理値”１”の選択信号ＳＥＬＣＴＬ１および論理値”０”の選択信号ＳＥＬＣＴＬ２ａが経路選択部ＳＥＬに転送される。

　【０２０７】

　選択信号ＳＥＬＣＴＬ１、ＳＥＬＣＴＬ２の両方が論理値”１”の場合、論理値”１”の選択信号ＳＥＬＣＴＬ１および論理値”０”の選択信号ＳＥＬＣＴＬ２ａが経路選択部ＳＥＬに転送される。

　【０２０８】

　選択信号生成部ＳＧＥＮａは、期待値を示すデータＴＤＩを転送した信号経路ＰＴが複数存在する場合でも、期待値を示すデータＴＤＩを転送した複数の信号経路ＰＴのうちの１つを示す選択信号ＳＥＬＣＴＬを、経路選択部ＳＥＬに転送する。例えば、図３に示した経路選択部ＳＥＬにおいて、選択信号ＳＥＬＣＴＬ１、ＳＥＬＣＴＬ２の両方が論理値”１”の場合、端子ＩＮ１、ＩＮ２に転送されるデータの遅延時間のずれ等に起因して、選択経路ＳＥＬから出力されるデータの波形が劣化するかもしれない。

　【０２０９】

　選択信号生成部ＳＧＥＮａでは、選択信号ＳＥＬＣＴＬ１、ＳＥＬＣＴＬ２ａの両方が論理値”１”にならないかもしれない。そのため、選択経路ＳＥＬから出力されるデータの波形が劣化が低減されるかしれない。

　【０２１０】

　図１０から図１１おいても、図２から図７での効果と実質的に同様の効果が得られるかもしれない。例えば、テスト入力端子ＴＤＩ１に供給されたデータが伝達される冗長化された信号経路ＰＴ、例えば、２本１組の信号経路ＰＴの一方が故障した場合でも、半導体チップＣＨＩＰ間の信号経路の故障箇所を検出する試験が実行される。故障箇所を迂回して不良が救済されるかもしれない。半導体装置ＳＥＭ４の歩留まりが向上するかもしれない。

　【０２１１】

　選択信号生成部ＳＧＥＮａは、期待値を示すデータＴＤＩを転送した信号経路ＰＴが複数存在する場合、期待値を示すデータＴＤＩを転送した複数の信号経路ＰＴのうちの１つを示す選択信号ＳＥＬＣＴＬを生成する。例えば、選択経路ＳＥＬに転送される選択信号ＳＥＬＣＴＬ１、ＳＥＬＣＴＬ２ａの両方が論理値”１”にならないかもしれない。そのため、選択経路ＳＥＬから出力されるデータの波形の劣化が低減されるかもしれない。

　All examples and conditional language recited herein are intended for pedagogical purposes to aid the reader in understanding the invention and the concepts contributed by the inventor to furthering the art, and are to be construed as being without limitation to such specifically recited examples and conditions, nor does the organization of such examples in the specification relate to a showing of the superiority and inferiority of the invention. Although the embodiments of the present invention have been described in detail, it should be understood that the various changes, substitutions, and alterations could be made hereto without departing from the spirit and scope of the invention.

CLAIMS

What is claimed is:

【請求項１】

　半導体装置を試験するデータを外部から受けるテスト入力端子と、

　複数の半導体チップのうちの第１半導体チップと第２半導体チップとの間の信号経路であり、前記テスト入力端子に供給されたデータが伝達される複数の信号経路と、

　前記第１半導体チップに設けられ、前記複数の信号経路を介して前記第２半導体チップに接続され、期待値を示すデータを前記複数の信号経路のいずれかを介して受けた場合、前記期待値を示すデータを転送した信号経路を示す選択信号を生成する選択信号生成部と、

　前記第１半導体チップに設けられ、前記複数の信号経路に接続され、前記複数の信号経路のうち、前記半導体装置を試験する際に使用する信号経路を前記選択信号に基づいて選択する経路選択部とを有する

　ことを特徴とする試験回路。

【請求項２】

　前記選択信号生成部は、

　前記複数の信号経路の各々に対応して設けられ、前記複数の信号経路を介して受けたデータをそれぞれ記憶する複数のデータ記憶部と、

　前記複数のデータ記憶部のいずれかに記憶されたデータが前記期待値を示す場合、前記複数の信号経路にそれぞれ対応した複数の制御信号のうち、前記期待値を示すデータを転送した信号経路に対応する制御信号をアサートする第１制御部を含む、請求項１に記載の試験回路。

【請求項３】

　前記複数の制御信号の各々の論理値を記憶し、前記論理値に基づく前記選択信号を出力する選択信号記憶部と、

　アサートされた制御信号の論理値が前記選択信号記憶部に記憶された場合、前記選択信号記憶部に記憶された論理値の更新を抑止する第２制御部とを含む、請求項２に記載の試験回路。

【請求項４】

　前記選択信号生成部は、前記期待値を示すデータを転送した信号経路が複数存在する場合、前記期待値を示すデータを転送した複数の信号経路のうちの１つを示す選択信号を生成する、請求項１の試験回路。

【請求項５】

　前記第１半導体チップは、第１試験部を含み、

　前記第２半導体チップは第２試験部を含み、

　前記第１試験部の第１試験結果または前記第２試験部の第２試験結果を前記半導体装置の外部に出力するテスト出力端子を含む、請求項１に記載の試験回路。

【請求項６】

　前記第１半導体チップに設けられ、前記テスト入力端子から転送されたデータを前記第１試験部に転送する状態と、前記テスト入力端子から転送されたデータを、前記第２半導体チップに転送する状態とのいずれかに設定される第１切り替え部を含む、請求項５に記載の試験回路。

【請求項７】

　前記第１半導体チップに設けられ、前記第１試験部から転送されたデータを前記テスト出力端子に転送する状態と、前記第２半導体チップから転送されたデータを前記テスト出力端子に転送する状態とのいずれかに設定される第２切り替え部を含む、請求項５に記載の試験回路。

【請求項８】

テスト制御信号を外部から受けるテスト制御端子を備え、

第１半導体チップに設けられ、前記複数の信号経路を介して転送される複数の前記テスト制御信号を多数決論理で選択する多数決選択部を含む、請求項５に記載の試験回路。

【請求項９】

　前記第１半導体チップに設けられ、前記多数決選択部によって選択された信号を前記第１試験部または前記第２半導体チップの何れかに転送する第３切り替え部を含む、請求項８に記載の試験回路。

【請求項１０】

　テスト入力端子から半導体装置を試験する第１データを、複数の半導体チップのうちの第１半導体チップと第２半導体チップとの間の複数の信号経路から受信し、

　前記第１半導体チップに設けられた選択部において、前記複数の信号経路を介して受信した複数の第１データと期待値とを比較し、

前記期待値と一致するデータを転送した信号経路を選択し、

前記選択された信号経路を介して、前記テスト入力端子から半導体装置を試験する第２データを受信し、前記第２データに基づいて前記半導体装置に試験を行う、試験方法。

【請求項１１】

　前記第１データまたは前記第２データを、前記第１半導体チップの試験部または前記第２半導体チップに選択的に供給する、請求項１０に記載の試験方法。